

Docket No.: SON-2939
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Toshiyuki Nishihara, et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: March 11, 2004

For: DATA READING METHOD, DATA WRITING
METHOD, AND SEMICONDUCTOR
MEMORY DEVICE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-087687	March 27, 2003
Japan	P2003-280608	July 28, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 12, 2004

Respectfully submitted,

By  *Robert S. Grier*
Reg No. 41,800

Ronald P. Kananen

Registration No.: 24,104

(202) 955-3750

Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 7 日

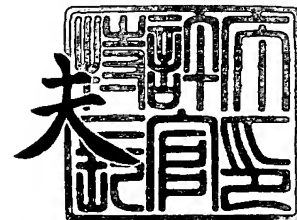
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 8 7 6 8 7
[ST. 10/C]: [J P 2 0 0 3 - 0 8 7 6 8 7]

出 願 人
Applicant(s): ソニー株式会社

2 0 0 4 年 1 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0390260706

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 西原 利幸

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 常田 幸寿

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100086841

 【弁理士】

 【氏名又は名称】 脇 篤夫

【代理人】

 【識別番号】 100114122

 【弁理士】

 【氏名又は名称】 鈴木 伸夫

【手数料の表示】

 【予納台帳番号】 014650

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9710074
【包括委任状番号】 0007553
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ読出方法及び半導体記憶装置

【特許請求の範囲】

【請求項 1】 強誘電体キャパシタの分極状態によってデータを記憶するメモリセルを有する半導体記憶装置において、

1 回目の読出パルスを上記メモリセルに印加して、記憶データに応じた第 1 の信号を発生させる第 1 の読出ステップと、

上記メモリセルにハイレベル側の信号に相当する参照信号発生用データを書き込む書込ステップと、

2 回目の読出パルスを上記メモリセルに印加して、上記参照信号発生用データに応じた第 2 の信号を発生させる第 2 の読出ステップと、

上記第 2 の信号に基づいて参照信号を発生させる参照信号発生ステップと、

上記第 1 の信号と上記参照信号を比較して、上記メモリセルに記憶されていた上記記憶データを判定する判定ステップと、

を備えたことを特徴とするデータ読出方法。

【請求項 2】 上記第 1, 第 2 の読出ステップでは、印加する上記読出パルスがハイレベルからローレベルに戻った後の残存信号を用いて上記第 1, 第 2 の信号を発生させることを特徴とする請求項 1 に記載のデータ読出方法。

【請求項 3】 上記半導体記憶装置は、上記メモリセルと定電圧ノード間に配されたスイッチ手段をさらに有し、

上記書込ステップでは、上記スイッチ手段を導通させることで、上記メモリセルに、ハイレベル側の信号に相当する参照信号発生用データを書き込むことを特徴とする請求項 1 に記載のデータ読出方法。

【請求項 4】 上記参照信号発生ステップでは、上記第 2 の信号に応じた上記参照信号の発生は、上記第 2 の信号を略 1/2 に変換することによって行うことを特徴とする請求項 1 に記載のデータ読出方法。

【請求項 5】 上記第 1, 第 2 の信号は、負荷容量に生じた電位変動に応じて生成され、上記参照信号発生ステップでは、上記第 2 の信号を略同容量の負荷

に分配することによって上記参照信号を発生させることを特徴とする請求項 1 に記載のデータ読出方法。

【請求項 6】 上記半導体記憶装置は、複数の上記メモリセルの各一端が共通ノード電極に接続されたセルストリング構成とされ、

上記第 1、第 2 の信号は、上記共通ノード電極に生じた電位変動に応じて生成され、

上記参照信号発生ステップでは、上記共通ノード電極を隣接するセルストリングの共通ノード電極と短絡することで、上記共通ノード電極に生じた上記第 2 の信号を略 1/2 に変換して上記参照信号を発生させることを特徴とする請求項 1 に記載のデータ読出方法。

【請求項 7】 読み出し対象として選択された際にビット線へ記憶データに応じた電流を流す複数のメモリセルと、上記ビット線と定電圧ノードの間に配された電流供給用トランジスタと、上記電流供給用トランジスタのゲートと上記ビット線の間に配されたスイッチ手段とを有する半導体記憶装置におけるデータ読出方法であって、

上記電流供給用トランジスタのゲートとビット線を短絡し、上記メモリセルから 1 回目の読み出しを行う第 1 の読出ステップと、

上記電流供給用トランジスタのゲートとビット線を切断し、上記メモリセルから 2 回目の読み出しを行う第 2 の読出ステップと、

上記第 2 の読出ステップによって生ずるビット線の電位状態に従って、上記メモリセルに記憶されていた上記記憶データを判定する判定ステップと、

を備えたことを特徴とするデータ読出方法。

【請求項 8】 強誘電体キャパシタの分極状態によってデータを記憶するメモリセルと、

読出パルスを上記メモリセルに選択的に印加して、記憶されているデータに応じた信号を発生させるとともに、上記メモリセルに対する 1 回の読出動作において、1 回目及び 2 回目の読出パルスを印加する読出手段と、

上記読出手段によって、選択されたメモリセルに 1 回目の読出パルスが印加されて、該選択されたメモリセルの記憶データに応じた第 1 の信号が発生された後

、上記読出手段によって２回目の読出パルスが印加される前に、該選択されたメモリセルにハイレベル側の信号に相当する参照信号発生用データを書き込む書込手段と、

上記２回目の読出パルスが印加されることによって、上記選択されたメモリセルに記憶された上記参照信号発生用データに応じて発生した第２の信号に基づいて参照信号を発生させる参照信号発生手段と、

上記第１の信号と上記参照信号を比較して、上記メモリセルに記憶されていた上記記憶データを判定する判定手段と、

を備えたことを特徴とする半導体記憶装置。

【請求項 9】 上記読出手段は、印加する上記読出パルスがハイレベルからローレベルに戻った後の残存信号を用いて上記第１、第２の信号を発生させることを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 10】 上記メモリセルと定電圧ノード間に配されたスイッチ手段をさらに有し、

上記書込手段は、上記スイッチ手段を導通させることで、上記メモリセルに、ハイレベル側の信号に相当する参照信号発生用データを書き込むことを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 11】 上記参照信号発生手段は、上記第２の信号に応じた上記参照信号を、上記第２の信号を略 1/2 に変換することによって発生させることを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 12】 上記第１、第２の信号は、負荷容量に生じた電位変動に応じて生成され、上記参照信号発生手段は、上記第２の信号を略同容量の負荷に分配することによって上記参照信号を発生させることを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 13】 複数の上記メモリセルは、各一端が共通ノード電極に接続されたセルストリング構成とされ、

上記第１、第２の信号は、上記共通ノード電極に生じた電位変動に応じて生成され、

上記参照信号発生手段は、上記共通ノード電極を隣接するセルストリングの共

通ノード電極と短絡することで、上記共通ノード電極に生じた上記第2の信号を略1/2に変換して上記参照信号を発生させることを特徴とする請求項8に記載の半導体記憶装置。

【請求項14】 ビット線に接続された複数のメモリセルと、
選択されたメモリセルに対して読出を行い、上記ビット線に上記選択されたメモリセルの記憶データに応じた電流を流すようにされた読出手段と、
上記ビット線と定電圧ノードの間に配された電流供給用トランジスタと、
上記電流供給用トランジスタのゲートと上記ビット線の間に配されたスイッチ手段と、
選択されたメモリセルに対して、上記電流供給用トランジスタのゲートとビット線を短絡した状態において上記読出手段によって1回目の読み出しが行われ、さらに、上記電流供給用トランジスタのゲートとビット線を切断した状態において上記読出手段によって2回目の読み出しが行われた際に、上記2回目の読み出しによって生ずるビット線の電位状態に従って、上記選択されたメモリセルに記憶されていた記憶データを判定する判定手段と、
を備えたことを特徴とする半導体記憶装置。

【請求項15】 強誘電体キャパシタの分極状態によってデータを記憶するビット線に接続されたメモリセルと、
上記メモリセルと定電圧ノードとの間に配設され、上記ビット線を介することなく上記メモリセルにハイレベルの信号に相当するデータを書き込む書込手段と、
を備えたことを特徴とする半導体記憶装置。

【請求項16】 ビット線に接続され、強誘電体キャパシタの分極状態によってデータを記憶すると共に、各々の一端が共通ノード電極に接続されたセルストリング構成を有する複数のメモリセルと、
上記共通ノード電極と定電圧ノードとの間に配設され、上記ビット線を介することなく上記メモリセルにハイレベルの信号に相当するデータを書き込む書込手段と、
を備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は例えば強誘電体メモリ等の半導体記憶装置におけるデータ読出方法、及びそのデータ読出方法を実行する半導体記憶装置に関するものである。

【0002】**【従来の技術】**

【特許文献1】 米国特許 4 8 7 3 6 6 4

【特許文献2】 特開 2 0 0 2 - 1 9 7 8 5 7

【特許文献3】 特開平 9 - 1 1 6 1 0 7

【0003】

近年新規なメモリ材料を用いた、さまざまな半導体メモリが提案されている。これらのメモリの多くは不揮発性でありながらDRAM並の高速動作が可能であり、「次世代メモリ」として今後の応用が有望視されている。

その代表的な例としては、強誘電体メモリが挙げられる。現在主流となっている強誘電体メモリのセル構造と動作については、上記特許文献1に開示されている。

【0004】

その実現方法の一例を図14に示す。

図14に示す構造は、メモリセルを一つのアクセストランジスタTaと一つの強誘電体キャパシタCで構成するものであり、強誘電体キャパシタCの分極方向に従って2値、即ち1ビットを記憶する。

ワード線WL（WL1、WL2・・・）には、ワード線デコーダ／ドライバ1によって、アクセスするアドレスに応じた電圧印加が行われる。各メモリセルにおけるアクセストランジスタTaのゲート電極には、それぞれ所定のワード線WLによって電圧印加が行われるため、ワード線WLの駆動によってメモリセルが選択されることになる。

ワード線WLと直交する方向にはビット線BL（BL1、BL2・・・）が配されている。

ビット線BL1, BL2はセンスアンプ3-1によって電位検出される一対のビット線となる。またビット線BL3, BL4はセンスアンプ3-2によって電位検出される一対のビット線となる。

各メモリセルにおいては、ワード線WLによってアクセストランジスタTrがオンとされることで、それぞれ対応するビット線BLに接続されることになる。

プレート線PL (PL1, PL2...)には、プレート線デコーダ/ドライバ2によって所定の電圧印加が行われる。

各メモリセルのキャパシタCの一端は、それぞれ所定のプレート線PLが接続される。

【0005】

このような構成において、例えば図中(*)を付したキャパシタC(*)、アクセストランジスタTa(*)によるメモリセルからのデータ読出を例に挙げ、また図15のヒステリシスカーブを参照しながら、データ読出動作を説明する。

キャパシタC(*)からのデータ読出の際には、ワード線WL3を選択し、さらにプレート線PL2にパルスを印加する。すると、当該メモリセルのアクセストランジスタTa(*)はオンとなっているため、強誘電体キャパシタC(*)の対向電極に接続されたビット線BL1に、強誘電体キャパシタC(*)からの読出信号が現れる。

【0006】

この様子を図15で説明する。横軸は強誘電体キャパシタに印加される電圧、縦軸は分極量を示す。

読み出しの初期状態ではプレート線PL2及びビット線BL1が0Vにイコライズされており、かつビット線BL5は浮遊状態となっている。

強誘電体キャパシタC(*)は記憶されたデータに従って異なる方向に分極しており、例えばデータ"0"の場合は図15の(H0)、データ"1"の場合は(H1)の状態にある。

ここでプレート線PL2に電圧Vccのパルスを印加することで、キャパシタC(*)には略Vccが印加される。すると、上記いずれの場合でも、分極量は(H2)の状態に移行する。これに伴って初期状態からの分極変異量の差に対応

する信号差が” 0” と” 1” の読み出し信号差としてビット線BL1に顕れる。

【0007】

つまり、” 1” データが保存され、状態が” H1” にあった場合のみ、強誘電キャパシタC（*）が分極反転し、その反転に相応した信号差がビット線BL1に顕れる。具体的にはビット線BL1の電位は、分極反転した” 1” データ読出時の方が、分極反転しない” 0” データ読出時より高くなる。

【0008】

ここで例えば” 1” データ保存時の読出信号と” 0” データ保存時の読出信号の中間的電位を参照信号として、対となるビット線BL2に供給し、読出信号と参照信号を差動型センスアンプ3-1で比較することで、上記読出信号が” 1” であるか” 0” であるかを判定することが出来る。

このような強誘電体キャパシタの分極反転は1ナノ秒程度で高速に実行できる。従って強誘電体メモリは不揮発性でありながらDRAM並のアクセス速度を実現することが可能である。

【0009】

なお、上述の例は所謂折り返しビット線構成について述べたが、他の構成として開放ビット線構成、または対となるビット線を使用せずセンスアンプに直接参照電圧を供給する構成が知られている。これらの場合も、上記動作及びデータ判定の原理は同様である。

【0010】

上記特許文献2、3では、上記強誘電体メモリの集積度をより向上させる手段としてクロスポイント型強誘電体メモリが提案されている。

図16にクロスポイント型メモリセルの回路例を示す。

図示するように、セルストリングSS（SS1、SS2・・・）が、共通ノード電極NE（NE1、NE2・・・）に接続された複数（n個）のキャパシタC1～Cnで構成される。

各セルストリングは、ワード線WL（WL1・・・）で制御されるFETによるアクセストランジスタTa（Ta1、Ta2・・・）を介してビット線BL（BL1、BL2・・・）に接続している。

セルストリング S S を構成する各キャパシタはそれぞれ別個のデータを記憶するものとされ、それぞれ独立したプレート線 P L 1 ~ P L n で制御される。

この回路例の場合は、ビット線 B L 1 の電位検出はセンスアンプ 3-1 によって行われ、ビット線 B L 2 の電位検出はセンスアンプ 3-2 によって行われる。

【0011】

セルストリング S S 1 のキャパシタ C 1 からのデータ読出を例に挙げる。

この場合、ワード線 W L 1 を選択し、プレート線 P L 2 ~ P L n を 0 V に固定した状態でプレート線 P L 1 にパルスを印加すると、前述と同様の原理で、強誘電体キャパシタ C 1 の分極方向に応じてビット線 B L 1 に異なる信号が発生する。センスアンプ 3-1 は、このようにビット線 B L 1 発生した信号と、別途供給される参照信号を比較することで、読出信号について " 1 " 、 " 0 " の判定を行う。

【0012】

このクロスポイント型セル構成の場合は、一つのアクセストランジスタ T a を複数のキャパシタ C 1 ~ C n が共有するため、実効的にビット当たりの素子数が減少し、コスト低減に有効である。

なお、このクロスポイント型にも、折り返しビット線や開放ビット線等さまざまな構成のバリエーションが存在するのは言うまでも無い。

【0013】

さらに上記特許文献 2 には、上記クロスポイント型を発展させ、読出信号を増幅させる機構を持たせたメモリ構成が提案されている。図 17 にその一例を示す。

セルストリング S S は共通ノード電極 N E に接続された複数 (n 個) の強誘電体キャパシタ C 1 ~ C n で構成されており、各キャパシタ C 1 ~ C n はそれぞれ別個のデータを記憶し、独立したプレート線 P L 1 ~ P L n で制御される。

【0014】

また、それぞれ F E T による、読出用アクセストランジスタ T r 、書込用アクセストランジスタ T w 、センストランジスタ T s が設けられる。

センストランジスタ T s はディプレッション型の N チャンネル M O S - F E T

であり、そのゲートは共通ノード電極NEに接続されている。さらにそのソース／ドレインは、一方が例えばグラウンド電位に接続され、他方が読出用アクセストランジスタTrを介してビット線BLに接続されている。

読出用アクセストランジスタTrは、ソース／ドレインの一方がセンストランジスタTsに接続され、他方がビット線BLに接続される。またゲートは読出ワード線WLrに接続され、従って読出用アクセストランジスタTrは、読出ワード線WLrによってオン／オフ制御される。

書込用アクセストランジスタTrは、ソース／ドレインの一方が共通ノード電極NEに接続され、他方がビット線BLに接続される。またゲートは書込ワード線WLwに接続され、従って書込用アクセストランジスタTwは、書込ワード線WLwによってオン／オフ制御される。

【0015】

データ読出時、例えばキャパシタC1からのデータ読出時を例に挙げると、その場合は、読出ワード線WLrを選択し、またプレート線PL2～PLnを0Vに固定した状態でプレート線PL1にパルスを印加する。

これによって強誘電体キャパシタC1の分極方向に応じて共通ノード電極NEに信号が顕れるが、このとき書込ワード線WLwは閉じており（書込用アクセストランジスタTwはオフ）、共通ノード電極NEはビット線BLから切断されている。

即ちセルキャパシタC1からの電荷は直接ビット線BLを駆動するのではなく、センストランジスタTsのゲート電極のみを駆動する。例えばディプリーション型のNMOSであるセンストランジスタTsは、そのゲートの印加電圧に応じてビット線BLを駆動する。即ちこの場合、ビット線BLには共通ノード電極NEに顕れた信号を変換した増幅信号が顕れる。

【0016】

一方、データ書込時においては、書込ワード線WLwが選択され、書込用アクセストランジスタTwがオンとされる。読出用アクセストランジスタTrはオフとなる。すると、共通ノード電極NEはビット線BLと接続されるため、ビット線BLとプレート線をそれぞれ所要の状態に駆動することで、選択された或るキ

ャパシタ C (x) に、ビット線 B L とプレート線 P L (x) の電位差としての適切な電圧が印加され、データが書き込まれる。

【0017】

このような増幅型のメモリは、その信号増幅作用によって、微少な強誘電体キャパシタからも有効に信号をとり出すことが出来、高集積化には極めて有利である。また増幅用の追加回路としてのセンストランジスタ T s 等は、セルストリング S S の下層の空きシリコン領域に形成できるので、セル面積の増加は無い。

【0018】

【発明が解決しようとする課題】

上述の如く、強誘電体メモリは不揮発でありながら、高速な書き換え動作が実現でき、かつ D R A M を凌ぐ大容量も実現できるポテンシャルを持つ。特に図 17 のように信号増幅機能を持つクロスポイント型では、微細なキャパシタでも大きな信号に増幅されるので、微細化にも有利である。

【0019】

しかしながら、強誘電体キャパシタを微細化していくと、信号ばらつきにより、エラー率が増えるという問題があった。

強誘電体膜は、その結晶の不完全性から、結晶配向や分極量に少なからぬばらつきを持っている。そのようなばらつきは、大きなキャパシタでは平均化されてさしたる問題にならないが、微細化に伴って顕著化する。例えばキャパシタ面積と負荷容量が共に (1/4) になると、信号の平均値はそのままスケールリングされて変わらないが、統計的なばらつきは 2 倍になる。

このような問題は単に信号を増幅しても、ばらつきも同様に増幅されるため、解決することが出来ない。

なお、このようなばらつきは強誘電成分のばらつきに負うところが大きく、通常ハイレベル側（ここでは” 1 ” データに相当するとする）で特に顕著である。

【0020】

このような信号ばらつきが、データ判定に及ぼす影響を図 18 の概念図に示す。図においてセル信号 C S 1、C S 2、C S 3 として各メモリセルの信号レベルを示しているが、●、○で示すように、” 0 ”、” 1 ” とともにばらついている。

しかもそれらの信号はデータ保持劣化やディスタブ劣化等により、“0” データと“1” データが接近する方向に×、△として示すように変化していく。例えばセル信号CS1の場合では、状態①から状態②に経時的に変化していく。即ち“0” 信号は上昇し、“1” 信号は下降して、信号差は小さくなっていく。

【0021】

ここで、メモリセルに記憶されたデータの判定は、“0” と“1” の中間レベルに相当する一つの参照信号を複数のキャパシタの判定に使用する。その一手法としては、例えばビット線上に参照電位発生用のダミーキャパシタを一つ設け、隣接するビット線上のすべてメモリセルの判定を、そのダミーキャパシタを用いて行う等が提案されている。

しかし図18(a)における参照信号rfを見ると、例えばセル信号CS1の判定には適切なレベルであったとしても、セル信号CS2ではエラーを発生させてしまう。さらに上述のような信号の経時劣化従って、動作マージンはますます悪化する。

【0022】

このような問題を解決すべく、アクセスしたキャパシタ自体に参照信号を発生させる自己参照と言われる手法が提案されている。これは以下の手順で行われる。

1. まず一回目の読み出しで初期データからの第一の信号を取得した後、一度そのセルにローレベルの信号に相当するデータを書き込む。
2. 二回目の読み出しを行って第二の信号を取得する。
3. 上記第二の信号に一定のオフセット信号を追加したものを参照信号として、第一の信号と比較し、初期データを判定する。

【0023】

このような判定方法では、図18(b)に示すように、各メモリセルごとに、そのローレベル（ここでは“0” データに相当する）の信号から一定のオフセットOFを追加した信号が参照信号rf1, rf2, rf3として与えられる。従って“0” 側のばらつきは常に相殺される。

しかし最も問題となる“1” 側のばらつきは相殺されない。しかも上記オフセ

ットOFの値がどのメモリセルに対しても一定となるので、各メモリセルごとに最適の信号を与えることはできない。

従って例えば図のようにセル信号CS1に対する参照信号rf1は適切であっても、セル信号CS2に対する参照信号rf2は”1”に近すぎ、一方でセル信号CS3に対する参照信号rf3は”0”側に偏ったレベルとなっている。

【0024】

読出データ判定を行うセンスアンプは、各セル信号と参照信号との差分を感知して判定するため、上述のような不均衡があると特定のセルの特定の状態において十分な差分を獲得できず、判定の感度を低下させてしまう。

さらにデータ保持等の経時劣化があった場合、参照として書き込んだ”0”信号は新鮮なものであるため、保持されていた”0”信号より小さくなる。従って小さすぎるオフセットは”0”読み出しでエラーを発生させ、大きすぎるオフセットは”1”読み出しでエラーを発生させる。そのため適切なオフセットOFの値の設定自体が非常に困難なものになってしまう。

【0025】

【課題を解決するための手段】

本発明はこのような問題に鑑みて、例えば強誘電体メモリを用いた半導体記憶装置において、その読み出しにおける動作マージンを飛躍的に拡大させ、誤読み出しを防止すること、及びそのような読み出しを高速かつ低消費電力で実行できるメモリセル構成、およびデータ読出方法を提案することを目的とする。

【0026】

本発明のデータ読出方法は、強誘電体キャパシタの分極状態によってデータを記憶するメモリセルを有する半導体記憶装置において、1回目の読出パルスを上記メモリセルに印加して、記憶データに応じた第1の信号を発生させる第1の読出ステップと、上記メモリセルにハイレベル側の信号に相当する参照信号発生用データを書き込む書込ステップと、2回目の読出パルスを上記メモリセルに印加して、上記参照信号発生用データに応じた第2の信号を発生させる第2の読出ステップと、上記第2の信号に基づいて参照信号を発生させる参照信号発生ステップと、上記第1の信号と上記参照信号を比較して、上記メモリセルに記憶されて

いた上記記憶データを判定する判定ステップとを備える。

特に好ましくは、上記第1、第2の読出ステップでは、印加する上記読出パルスがハイレベルからローレベルに戻った後の残存信号を用いて上記第1、第2の信号を発生させる。

また上記半導体記憶装置においては、メモリセルと定電圧ノード間に配されたスイッチ手段をさらに有し、上記書込ステップでは、上記スイッチ手段を導通させることで、上記メモリセルに、ハイレベル側の信号に相当する参照信号発生用データを書き込む。

また上記参照信号発生ステップでは、上記第2の信号に応じた上記参照信号の発生は、上記第2の信号を略1/2に変換することによって行う。

また上記第1、第2の信号は、負荷容量に生じた電位変動に応じて生成され、上記参照信号発生ステップでは、上記第2の信号を略同容量の負荷に分配することによって上記参照信号を発生させる。

また上記半導体記憶装置においては、複数の上記メモリセルの各一端が共通ノード電極に接続されたセルストリング構成とされ、上記第1、第2の信号は、上記共通ノード電極に生じた電位変動に応じて生成され、上記参照信号発生ステップでは、上記共通ノード電極を隣接するセルストリングの共通ノード電極と短絡することで、上記共通ノード電極に生じた上記第2の信号を略1/2に変換して上記参照信号を発生させる。

【0027】

また本発明のデータ読出方法は、読み出し対象として選択された際にビット線へ記憶データに応じた電流を流す複数のメモリセルと、上記ビット線と定電圧ノードの間に配された電流供給用トランジスタと、上記電流供給用トランジスタのゲートと上記ビット線の間に配されたスイッチ手段とを有する半導体記憶装置におけるデータ読出方法である。そして上記電流供給用トランジスタのゲートとビット線を短絡し、上記メモリセルから1回目の読み出しを行う第1の読出ステップと、上記電流供給用トランジスタのゲートとビット線を切断し、上記メモリセルから2回目の読み出しを行う第2の読出ステップと、上記第2の読出ステップによって生ずるビット線の電位状態に従って、上記メモリセルに記憶されていた

上記記憶データを判定する判定ステップとを備える。

【0028】

本発明の半導体記憶装置は、強誘電体キャパシタの分極状態によってデータを記憶するメモリセルと、読出パルスを上記メモリセルに選択的に印加して、記憶されているデータに応じた信号を発生させるとともに、上記メモリセルに対する1回の読出動作において、1回目及び2回目の読出パルスを印加する読出手段と、上記読出手段によって、選択されたメモリセルに1回目の読出パルスが印加されて、該選択されたメモリセルの記憶データに応じた第1の信号が発生された後、上記読出手段によって2回目の読出パルスが印加される前に、該選択されたメモリセルにハイレベル側の信号に相当する参照信号発生用データを書き込む書込手段と、上記2回目の読出パルスが印加されることによって、上記選択されたメモリセルに記憶された上記参照信号発生用データに応じて発生した第2の信号に基づいて参照信号を発生させる参照信号発生手段と、上記第1の信号と上記参照信号を比較して、上記メモリセルに記憶されていた上記記憶データを判定する判定手段とを備える。

また本発明の半導体記憶装置は、ビット線に接続された複数のメモリセルと、選択されたメモリセルに対して読出を行い、上記ビット線に上記選択されたメモリセルの記憶データに応じた電流を流すようにされた読出手段と、上記ビット線と定電圧ノードの間に配された電流供給用トランジスタと、上記電流供給用トランジスタのゲートと上記ビット線の間に配されたスイッチ手段と、選択されたメモリセルに対して、上記電流供給用トランジスタのゲートとビット線を短絡した状態において上記読出手段によって1回目の読み出しが行われ、さらに、上記電流供給用トランジスタのゲートとビット線を切断した状態において上記読出手段によって2回目の読み出しが行われた際に、上記2回目の読み出しによって生ずるビット線の電位状態に従って、上記選択されたメモリセルに記憶されていた記憶データを判定する判定手段とを備える。

また本発明の半導体記憶装置は、強誘電体キャパシタの分極状態によってデータを記憶するビット線に接続されたメモリセルと、上記メモリセルと定電圧ノードとの間に配設され、上記ビット線を介することなく上記メモリセルにハイレベ

ルの信号に相当するデータを書き込む書込手段とを備える。

また本発明の半導体記憶装置は、ビット線に接続され、強誘電体キャパシタの分極状態によってデータを記憶すると共に、各々の一端が共通ノード電極に接続されたセルストリング構成を有する複数のメモリセルと、上記共通ノード電極と定電圧ノードとの間に配設され、上記ビット線を介することなく上記メモリセルにハイレベルの信号に相当するデータを書き込む書込手段とを備える。

【0029】

即ち以上のような本発明では、メモリセルに対して一回目の初期データ読み出しを行った後、ローレベルではなくハイレベルの信号に相当するデータを元のセルに書き込み、そこで読み出した信号を基準に参照信号を発生させ、初期データの判定に使用するものである。

さらには、上記第1、第2の信号にはパルス印加後の残存信号を使用し、さらに望ましくは参照信号の発生は2回目に読み出したハイレベルの信号を略1/2に変換することによって行う。

また、参照信号の発生は2回目に読み出したハイレベルの信号を、信号ノードと略同容量の負荷に分配することにより行う。

また、上述の動作を高速かつ効率的に実施し得るメモリセル機構も併せて提案するものである。その一つは、上述した1つのキャパシタと1つのアクセストランジスタから成る構成や、クロスポイント型セルユニットにおいて、ビット線を駆動することなく各キャパシタにハイレベルの信号を書き込む機能を設ける。例えば具体的にはセルの信号ノードに片側を定電圧ノード（電源ソース）に接続したトランジスタを追加接続するなどで実現する。

またさらには、増幅型のクロスポイント型メモリにおいて隣接した信号ノード間をショートさせる機能を設ける。

さらに、上述のような自己参照の実現に適した新しいセンス方式も併せて提案するものである。具体的にはビット線に電流供給用トランジスタを設け、そのゲートをビット線に接続した状態で一回目の読み出しを行う。ビット線に流れる電流と同一の電流が該トランジスタを流れる平衡状態で該ゲートをビット線から切断し、浮遊状態にしてその電位を保存し、さらに二回目の読み出しを行う。この

時上記電流供給用トランジスタには一回目の読み出し時と同一の電流が流れ、ビット線には一回目読み出しと二回目読み出しの差分に相当する電荷が蓄積されていく。即ちビット線には増幅作用が生じ、容易に一回目と二回目の比較が行われることになる。

【0030】

【発明の実施の形態】

以下、本発明の実施の形態を説明する。

ここではまず、具体的な実施の形態の構成に先立って本発明の信号判定の概念を図1で説明する。

上述のように本発明では、一回目の初期データ読み出しを行った後、ローレベルではなくハイレベルの信号に相当するデータを元のセルに書き込み、そこで読み出した信号を基準に参照信号を発生させ、初期データの判定に使用するものである。

この本発明はハイレベル側の相殺に有効なものであるが、望ましくはローレベル側の信号電位を読み出し前の基準レベルに戻す読み出し手法と組み合わせると、特に有効である。

具体的には、読み出し時において、パルスがハイの状態を読み出すのではなく、パルスがハイからローに戻った状態で残存する信号の読み出しを行えばよい。このような読み出しを行うと、分極反転を伴わないローレベルの信号は、新鮮であればパルス印加前の状態に戻る。一方分極反転がなされたハイレベル側では、その反転分が信号として残る。

パルスがハイからローに戻った時点での各セルの残存信号の状態を図1(a)においてセル信号CS11、CS12、CS13として示す。

上述した図18と同様に、セル信号CS11、CS12、CS13として示す各メモリセルの信号レベルは、●、○で示すように、“0”、“1”ともにばらついている。またそれらの信号はデータ保持劣化やディスタブ劣化等により、“0”データと“1”データが接近する方向に×、△として示すように変化していく。

【0031】

ここで改めてハイレベルの書き込みを行い、それを略 1/2 に変換した参照信号のレベルが図 1 (b) の各破線 r f l 1, r f l 2, r f l 3 として示されている。

このように生成した参照信号レベルは、各キャパシタごとに "0" "1" の中間付近の最適レベルに設定される。ここで重要なのは、特にデータ保持による経時劣化は "0" "1" とともにその中間値に向けてほぼ対称に進行する性質を持つことである。

強誘電体キャパシタのこのような性質によって、参照用に書き込んだ新鮮なハイレベルを略 1/2 にすれば、データ保持劣化を起こしたメモリセルに対しても、ほぼ最適な参照信号を与えることが可能になる。

つまり、一回目の初期データ読み出しを行った後、ハイレベルの信号に相当するデータを元のセルに書き込み、そこで読み出した信号を基準に参照信号 r f l 1, r f l 2, r f l 3 を発生させ、初期データの判定に使用することで、エラーの少ないデータ判定が可能となる。

【0032】

なお、キャパシタからのデータ読出のためのパルスをハイからローに戻した際の強誘電体キャパシタの挙動を図 2 のヒステリシスカーブで説明しておく。

読み出しの初期状態では各々プレート線及びビット線に接続されたキャパシタの両極は 0 V にイコライズされており、かつビット線側は浮遊状態となっている。強誘電体キャパシタは記憶されたデータに従って異なる方向に分極しており、例えば "0" では図 2 の (H0)、"1" では (H1) の状態にある。

ここでプレート線に V c c パルスを印加し、プレート線がハイ状態になると、両キャパシタには略 V c c が印加され、両者はともに (H2) の状態に移行する。さらにプレート線をロー状態に落とすと、"0" 側はもとの (H0) に戻るが、"1" 側は分極反転した電荷分が残存信号となって (H4) に移動する。

なお、この挙動はデータ保持等の劣化の無い新鮮な信号についてのものである。経時劣化がある場合は、図 1 (a) の③の如く "0" 側にもいくつかの残存信号が発生し、一方 "1" の残存信号は減少する。

【0033】

<第1の実施の形態>

図3、図4で第1の実施の形態の構成及び動作を説明する。

図3に示す構造は、メモリセルを一つのアクセストランジスタ T_a と一つの強誘電体キャパシタ C で構成するものであり、強誘電体キャパシタ C の分極方向に従って2値、即ち1ビットを記憶する。

ワード線 WL ($WL1$ 、 $WL2 \cdots$) には、ワード線デコーダ/ドライバ1によって、アクセスするアドレスに応じた電圧印加が行われる。各メモリセルにおけるアクセストランジスタ T_a のゲート電極には、それぞれ所定のワード線 WL によって電圧印加が行われるため、ワード線 WL の駆動によってメモリセルが選択されることになる。

ワード線 WL と直交する方向にはビット線 BL ($BL1$ 、 $BL2 \cdots$) が配されている。

ビット線 $BL1$ 、 $BL2$ はセンスアンプ3によって電位検出される一対のビット線となる。

各メモリセルにおいては、ワード線 WL によってアクセストランジスタ T_r がオンとされることで、それぞれ対応するビット線 BL に接続されることになる。

プレート線 PL ($PL1$ 、 $PL2 \cdots$) には、プレート線デコーダ/ドライバ2によって所定の電圧印加が行われる。

各メモリセルのキャパシタ C の一端は、それぞれ所定のプレート線 PL が接続される。

【0034】

また制御線 $SL1$ 、 $SL2$ 、 $SL3$ 、 $SL4$ 、 $SL5$ 、 $SL6$ が設けられ、各制御線 SL は後述するようにそれぞれ所定のタイミングで駆動される。

例えばPチャンネルMOSFETによるパストランジスタ T_{p1} のゲートには制御線 $SL1$ が接続される。パストランジスタ T_{p1} のソース/ドレインの一端は固定電圧 V_{cc} に、他端はビット線 $BL1$ に接続されており、パストランジスタ T_{p1} が制御線 $SL1$ によってオンとされることで、ビット線 $BL1$ に電圧 V_{cc} を印加する。

また、例えばPチャンネルMOSFETによるパストランジスタ T_{p2} のゲ-

トには制御線 S L 2 が接続される。パストランジスタ T p 2 のソース／ドレインの一端は固定電圧 V c c に、他端はビット線 B L 2 に接続されており、パストランジスタ T p 2 が制御線 S L 2 によってオンとされることで、ビット線 B L 2 に電圧 V c c を印加する。

例えば N チャンネル MOS F E T によるパストランジスタ T p 3 a、T p 3 b の各ゲートには制御線 S L 3 が接続される。パストランジスタ T p 3 a、T p 3 b のソース／ドレインの各一端は接地ノードに接続される。またパストランジスタ T p 3 a の他端はビット線 B L 1 に、パストランジスタ T p 3 b の他端はビット線 B L 2 に、それぞれ接続されている。パストランジスタ T p 3 a、T p 3 b が制御線 S L 3 によってオンとされることで、ビット線 B L 1、B L 2 は接地される。

【 0 0 3 5 】

例えば N チャンネル MOS F E T によるパストランジスタ T p 4 のゲートには制御線 S L 4 が接続される。パストランジスタ T p 4 のソース／ドレインは、それぞれビット線 B L 1、B L 2 に接続されている。パストランジスタ T p 4 が制御線 S L 4 によってオンとされることで、ビット線 B L 1、B L 2 がショートされる。

例えば N チャンネル MOS F E T によるパストランジスタ T p 5 のゲートには制御線 S L 5 が接続される。パストランジスタ T p 5 のソース／ドレインは、ビット線 B L 2 と、センスアンプ 3 のビット線 B L 2 についての入力ノード N I 2 に接続されている。パストランジスタ T p 5 が制御線 S L 5 によってオンとされることで、ビット線 B L 2 の電位がセンスアンプ 3 に入力される。

例えば N チャンネル MOS F E T によるパストランジスタ T p 6 のゲートには制御線 S L 6 が接続される。パストランジスタ T p 6 のソース／ドレインは、ビット線 B L 1 と、センスアンプ 3 のビット線 B L 1 についての入力ノード N I 1 に接続されている。パストランジスタ T p 6 が制御線 S L 6 によってオンとされることで、ビット線 B L 1 の電位がセンスアンプ 3 に入力される。

【 0 0 3 6 】

このような構成において、例えば図中 (＊) を付したキャパシタ C (＊)、ア

クセストランジスタ T_a (*) によるメモリセルからのデータ読出を例に挙げ、図4のタイミングチャートに沿ってデータ読出動作を説明する。

図4において読出サイクルを構成する各タイミングをタイミング $S_1 \sim S_9$ で示す。図4ではこの各タイミングにおけるワード線 WL_3 、プレート線 PL_2 、ビット線 BL_1 、 BL_2 、制御線 SL_1 、 SL_2 、 SL_3 、 SL_4 、 SL_5 、 SL_6 、入力ノード NI_1 、 NI_2 について、以下の説明に相当する各電圧状態を示している。

【0037】

[タイミング S_1]

タイミング S_1 直前の初期状態では、プレート線 PL_2 、ビット線 BL_1 、 BL_2 及び差動型センスアンプ3の入力ノード NI_1 、 NI_2 は全て 0 V にイコライズされている。つまりパストランジスタ T_{p3a} 、 T_{p3b} 、 T_{p5} 、 T_{p6} はオン状態である。

図4に示すように、タイミング S_1 では、選択セル C (*) のワード線 WL_3 をオンし、キャパシタ C (*) をビット線 BL_1 に接続するとともに、制御線 SL_3 、 SL_5 、 SL_6 をオフとすることで NMOS パストランジスタ T_{p3a} 、 T_{p3b} 、 T_{p5} 、 T_{p6} をオフして、ビット線 BL_1 、 BL_2 を浮遊状態にする。

【0038】

[タイミング S_2]

プレート線 PL_2 にパルスを印加し、強誘電体キャパシタ C (*) からの信号を読み出す。図4に示すようにタイミング S_3 に至る前にプレート線 PL_2 の印加パルスをハイからローに戻すと、キャパシタ C (*) の記憶データに応じて "0" または "1" の残存信号がビット線 BL_1 に生じる。このようにプレート線 PL_2 のパルスをハイからローとした後にワード線 WL_3 をオフし、読み出し信号 (ビット線 BL_1 の電位) を確定させる。

【0039】

[タイミング S_3]

制御線 SL_6 をオンとしてパストランジスタ T_{p6} をオンとすることで、ビッ

ト線BL1の信号をセンスアンプ3の入力ノードNI1に伝達する。またその後、制御線SL6をオフしてパストランジスタTp6をオフすることで、入力ノードNI1に伝達した信号を保存する。

[タイミングS4]

次にワード線WL3を再度オンするとともに、PMOSパストランジスタTp1の制御線SL1をオンにして、ビット線BL1をVccにチャージする。これによってキャパシタC(*)にはハイレベル側の信号である”1”が書き込まれる。

【0040】

[タイミングS5]

制御線SL3をオンとしてビット線BL1、BL2を再度0Vにイコライズする。その後制御線SL3をオフにしてビット線BL1、BL2を後浮遊状態にする。

[タイミングS6]

プレート線PL2に再度パルスを印加し、キャパシタC(*)からの信号を読み出す。そしてプレート線PL2の印加パルスをハイからローに戻すと、キャパシタC(*)の記憶データに応じて”0”または”1”の残存信号がビット線BL1に生じる。さらにプレート線PL2のパルスをローとした後にワード線WL3をオフし、2度目の読み出し信号(ビット線BL1の電位)を確定させる。

[タイミングS7]

制御線SL4をオンし、パストランジスタTp4を導通させてビット線BL1を隣接したビット線BL2とショートする。これによって信号電荷は隣接ビット線に分配され、その電位は略1/2に変換され、最適な参照信号がつくられる。その後制御線SL4はオフしておく。

【0041】

[タイミングS8]

制御線SL5をオンとしてパストランジスタTp5をオンとすることで、ビット線BL2の信号をセンスアンプ3の入力ノードNI2に伝達する。その後、制御線SL5をオフしてパストランジスタTp5をオフすることで、入力ノードN

I 2 に伝達した信号を保存する。

[タイミング S 9]

差動型センスアンプ 3 を活性化させて、入力ノード N I 1, N I 2 の各信号を比較し、増幅する。これによって、タイミング S 7 で生成した参照信号を元に、タイミング S 2 で読み出されたセルデータの判定が行われる。

一方制御線 S L 3 はオンして、ビット線 B L 1, B L 2 は初期の 0 V イコライズ状態に戻しておく。

【0042】

このようなデータ判定方法を用いると、参照電位は読み出したメモリセル自身に書き込んだ” 1 ” データをもとに、各メモリセルごとに、ちょうど” 0 ” と” 1 ” の中間付近に自動的にアジャストされるように生成される。即ち図 1 (b) に示したように参照信号 r f 1 1, r f 1 2, r f 1 3 … を得ることができる。従って極めて高い動作マージンを得ることができ、強誘電体膜の特性がばらついていてもエラーのないデータ判定が可能になる。

【0043】

なお、この図 3 の例は折り返しビット線構成について示したが、開放ビット線の場合でも同様の方式が使用できるのは言うまでも無い。またクロスポイント型についても上記手法は同様に適用できる。

また、強誘電体メモリの信号の取り出し方にはバリエーションがあり、例えば Symposium on VLSI Circuit のダイジェスト論文 12-3 (p 127) にはビット線に生じた信号電荷をビット線に接続された第二の負荷容量に移し変え、該第二の負荷容量の電位変動をセンスする手法が提案されている。このような場合もビット線に生じた信号がセンシングに使用されていることに変わり無く、そのハイレベル側信号を、隣接した該第二の負荷容量間で配分すれば、同様に適切な参照信号を得ることが出来る。

【0044】

図 5 に、本例を用いた読み出し動作における、クロスポイント型強誘電体メモリでの信号分布の改善例を示す。

図 5 (a) は通常の (増幅型でない) クロスポイント型において、単にパルス

をハイからローに落とした残存信号の分布例を示している。これを正規分布として最も適切な位置に単一の参照信号を与えた場合、エラーレートは 3×10^{-6} と見積もられる。但し、このような最適位置を設計段階で予測し、そこへ誤差無く参照信号を発生させるのは非常に困難であり、実際のエラーレートはさらに悪化する。

一方図 5 (b) は本発明に係る上記手法を適用し、各ビットごとに新鮮なハイレベル信号を略 $1/2$ にしたものを参照として用いた場合の "1" "0" 信号の相対分布である。

この場合、特に "1" 信号で著しい分布改善が認められ、エラーレートは 3×10^{-8} に減少している。しかもこの場合では参照信号は自動的に発生するので、上述のような参照信号発生 の 困難も無い。

【0045】

<第2の実施の形態>

ところで上記のようにビット線 BL を電圧 V_{cc} にチャージして参照用の "1" をキャパシタ C に書き込んだ場合、ビット線容量の充放電が従来より余分に必要となり、そのチャージに時間がかかる上、消費電力も増加する。ビット線は通常メモリセルキャパシタの十倍以上の容量を持つので、このような無駄は避けた

い。

ところがこのことは、メモリセル内にビット線を介することなく "1" を書き込む機構を設けることで解決できる。このような第2の実施の形態の構成を図6に示す。

【0046】

この場合、各メモリセル MC 1, MC 2, MC 3 . . . は、それぞれ上記図3のようにキャパシタ C とアクセストランジスタ T_a を有しているが、さらにキャパシタ C に電圧 V_{cc} をチャージするためのチャージ用トランジスタ T_{cg} が設けられている。

各メモリセル MC のアクセストランジスタ T_a は、それぞれワード線 WL (WL 1, WL 2 . . .) にゲートが接続され、ワード線デコーダ/ドライバ 1 (1 a, 1 b . . .) によって制御される。

また各メモリセルMCのチャージ用トランジスタ c_g は、そのゲートがチャージ制御線 SLc_g (SLc_g1 , $SLc_g2 \dots$) に接続され、それぞれチャージ用ドライバ5 ($5a$, $5b \dots$) によって制御される。

【0047】

図7に、図6の構成を採る場合の断面図を示す。

ビット線BLに直交方向（図面の奥行き方向）に各プレート線PLが配され、各プレート線PLと拡散層からのコンタクト部に挟まれた強誘電体膜において強誘電体キャパシタCが形成される。

アクセスのためのワード線WLと、チャージ制御線 SLc_g は、図示するように図面奥行き方向に配列される。このワード線WLと、チャージ制御線 SLc_g に対してゲートが接続されるアクセストランジスタTa及びチャージ用トランジスタ Tc_g は、図示するようにそれぞれ形成される。

チャージ用トランジスタ Tc_g については、そのソース／ドレインの一方に、電圧 V_{cc} の供給線としての拡散層Kを用い、それを隣接セル間で共有することによって、セル面積の増加を最小限に抑えている。

【0048】

この図6，図7のような構成によれば、チャージ制御線 SLc_g を開くことによって、選択されたROWアドレス上のメモリセルMCに対し、ビット線BLを介することなく高速に参照用の”1”書き込みが可能になる。

つまり、上記図4のタイミングS4において実行した処理、即ちビット線チャージを伴いながらキャパシタCには”1”を書き込んだ動作を、ビット線チャージを実行することなく、チャージ用トランジスタ Tc_g をオンとするのみで実行できる。

従って、ビット線チャージによる時間が削減され、また消費電力も低減できるものとなる。

さらにこのような”1”書き込み機能があると、上記用途以外にもさまざまな利便が生ずる。例えば所望のワード線上のセルに一斉に”1”を書き込みたい場合、通常書き込みより高速、低消費電力で実行できる。このような用途は図形の塗りつぶし等、実際の書き換えで生じえる他、例えば強誘電体膜のインプリン

ト劣化を回復させるため”0” ”1”を交互に書き込む等の動作にも応用できる。

【0049】

<第3の実施の形態>

第3の実施の形態として、増幅型のクロスポイント型メモリとしての構成例を図8に示す。

この例では上述の第2の実施の形態のようなVccチャージ機構とともに、隣接ユニット間で信号を分配させる機構が内蔵されている。

【0050】

図8では、或る1つのメモリユニット部分を示しているが、セルストリングSSは、共通ノード電極NE1に接続された複数(n個)のキャパシタC1～Cnで構成される。

セルストリングSSを構成する各キャパシタCはそれぞれ別個のデータを記憶するものとされ、それぞれ独立したプレート線PL1～PLnで制御される。

【0051】

また、それぞれFETによる、読出用アクセストランジスタTr、書込用アクセストランジスタTw、センストランジスタTsが設けられる。

センストランジスタTsはディプレッション型のNチャンネルMOS-FETであり、そのゲートは共通ノード電極NE1に接続されている。さらにそのソース/ドレインは、一方が例えばグラウンド電位に接続され、他方が読出用アクセストランジスタTrを介してビット線BLに接続されている。

読出用アクセストランジスタTrは、ソース/ドレインの一方がセンストランジスタTsに接続され、他方がビット線BLに接続される。またゲートは読出ワード線WLrに接続され、従って読出用アクセストランジスタTrは、読出ワード線WLrによってオン/オフ制御される。

書込用アクセストランジスタTrは、ソース/ドレインの一方が共通ノード電極NE1に接続され、他方がビット線BLに接続される。またゲートは書込ワード線WLwに接続され、従って書込用アクセストランジスタTwは、書込ワード線WLwによってオン/オフ制御される。

【0052】

さらに図8のメモリユニット内には、リセット用トランジスタ T_{rst} と、電圧 V_{cc} のチャージ用トランジスタ T_{cg} と、信号分配用トランジスタ T_{st} が設置されている。

リセット用トランジスタ T_{rst} は、ソース／ドレインの一方が共通ノード電極 $NE1$ に接続され、他方が接地される。またゲートはリセット制御線 SL_{rst} に接続され、従ってリセット用トランジスタ T_{rst} は、リセット制御線 SL_{rst} によってオン／オフ制御される。

このリセット用トランジスタ T_{rst} は、キャパシタ C から信号を受け取るノードである共通ノード電極 $NE1$ を、ビット線 BL を介さずに接地することを可能にする。

【0053】

チャージ用トランジスタ T_{cg} は、ソース／ドレインの一方が共通ノード電極 $NE1$ に接続され、他方が電圧 V_{cc} の固定電圧ノードに接続される。またゲートはチャージ制御線 SL_{cg} に接続され、従ってチャージ用トランジスタ T_{cg} は、チャージ制御線 SL_{cg} によってオン／オフ制御される。

このチャージ用トランジスタ T_{cg} は、共通ノード電極 $NE1$ を、ビット線 BL を介さずに電圧 V_{cc} にチャージすることを可能にする。

【0054】

信号分配用トランジスタ T_{st} は、ソース／ドレインの一方が共通ノード電極 $NE1$ に接続され、他方が隣接するメモリユニットの共通ノード電極 $NE2$ に接続される。またゲートは信号分配制御線 SL_{st} に接続され、従って信号分配用トランジスタ T_{st} は、信号分配制御線 SL_{st} によってオン／オフ制御される。

この信号分配用トランジスタ T_{st} は、共通ノード電極 $NE1$ を、隣接するメモリユニットの共通ノード電極 $NE2$ とショートすることを可能とする。

【0055】

図9には、これら各トランジスタの配置例を断面図で示す。

ビット線 BL に直交方向（図面の奥行方向）に各プレート線 $PL1 \sim PLn$ が配され、各プレート線 PL と、拡散層からのコンタクト部に接続された共通ノード

ド電極NE1に挟まれた強誘電体膜において強誘電体キャパシタC1～Cnが形成される。

読出ワード線WLr、書込ワード線WLw、チャージ制御線SLcg、リセット制御線SLrst、信号分配制御線SLstは、それぞれ図示するように図面奥行き方向に配列される。

これら読出ワード線WLr、書込ワード線WLw、チャージ制御線SLcg、リセット制御線SLrst、信号分配制御線SLstに対してゲートが接続される読出用アクセストランジスタTr、書込用アクセストランジスタTw、チャージ用トランジスタTcg、リセット用トランジスタTrst、信号分配用トランジスタTstは、それぞれ図示するように形成される。

ここで、グランド配線(GND)と電源配線(VCC)は拡散層で形成されており、各トランジスタの制御線(SLcg、SLrst、SLst)と共に、ワード線WLw、WLrと同方向に走査されている。

これらの各トランジスタ(Tcg、Trst、Tst)や制御線配線(SLcg、SLrst、SLst)はキャパシタCの下層に配置することで、セル面積の増加なく追加されている。

【0056】

図8のように構成されるメモリユニットからの読み出し動作の為の制御回路の例を図10に示す。

図10において、メモリユニットMUは図8の構成となる。なおこの図ではワード線方向の配線として読出ワード線WLrのみを示しており、他は省略している。

【0057】

ビット線BLにはクランプトランジスタTCLが設けられる。

クランプトランジスタTCLのソース／ドレインのそれぞれは、ビット線BL1と比較判定回路10の入力ノードNDに接続されている。

このクランプトランジスタTCLは、そのゲートに接続された制御線G3を例えば($V_{cc}/2$)とすることで、寄生容量の大きいビット線BLの電位を($V_{cc}/2 - V_{th}$)にクランプし、その振幅を非常に小さく抑える。

【0058】

またビット線及び入力ノードNDに対するチャージ回路として、PチャンネルMOSFETによるトランジスタSW2、トランジスタTCG、及びNチャンネルMOSFETによるトランジスタSW1が設けられる。

トランジスタSW2のゲートは制御線G2に接続される。またソース／ドレインの一方は電圧Vccの固定電圧ノードに接続され、他方はトランジスタTCGに接続される。即ちチャージ用スイッチとなる。

トランジスタSW1のゲートは制御線G1に接続される。またソース／ドレインの一方は接地され、他方は入力ノードND及びトランジスタTCGに接続される。即ち接地用スイッチとなる。

トランジスタTCGは、ゲート及びソース／ドレインの一方が、入力ノードNDに接続されている。

【0059】

トランジスタTCGは、平衡状態においてメモリユニットMUを流れる電流と同一の電流をビット線BLに供給するが、それによって比較判定回路10の入力ノードNDにはメモリユニット電流に応じた異なる電位が発生する。

比較判定回路10は、一回目の読み出しで生じた入力電位と、二回目の読み出しで生じた参照入力電位を比較することで、データ判定を実行する。

【0060】

上記図8のメモリユニットと図10の制御回路を用いたメモリの具体的読み出し動作を、図11のタイミングチャートを参照しながら説明する。図8のキャパシタC1からの読出を例に採る。

図11において読出サイクルを構成する各タイミングをタイミングs1～s9で示す。図11ではこの各タイミングにおける読出ワード線WLr、プレート線PL1、プレート線PL2～PLn、共通ノード電極NE1、NE2、リセット制御線SLrst、チャージ制御線SLcg、信号分配制御線SLst、入力ノードND、制御線G2、G1について、以下の説明に相当する各電圧状態を示している。

【0061】

[タイミング s 1]

初期状態ではメモリユニットMUの内部の共通ノード電極NE 1とプレート線PL 1～PL nは全て0 Vに接地されている。またビット線BL及び判定回路への入力ノードNDも接地されている。

ここでタイミング s 1でリセット制御線SL r s tをオフして共通ノード電極NE 1を浮遊状態にするとともに、制御線G 1, G 2によりトランジスタSW 1をオフ、トランジスタSW 2をオンとして、ビット線BLと入力ノードNDへのチャージを開始する。

[タイミング s 2]

プレート線PL 1にパルスを印加し、強誘電体キャパシタC 1からの信号を読み出す。タイミング s 3に至る前にプレート線PL 1の印加パルスをハイからローに戻すと、キャパシタC 1の記憶データに応じて” 0” または” 1” の残存信号が共通ノード電極NE 1に生じる。

[タイミング s 3]

読出ワード線WL rをオンすることで、共通ノード電極NE 1のレベルに依存した電流がメモリユニットMUに流れ、そのレベルに依存して入力ノードNDの電位が変動して、1回目の読出に応じた信号が生ずる。比較判定回路10はその信号を保存する。

【0062】

[タイミング s 4]

次に選択ユニットの選択プレート線PL 1は0 Vに、他のプレート線PL 2～PL nは浮遊状態にした状態で、チャージ制御線SL c gをオンして、ビット線BLを介することなくメモリユニット内部の共通ノード電極NE 1を電圧V c cにチャージする。これによってキャパシタC 1にはハイレベル側の信号である” 1” が書き込まれる。

[タイミング s 5]

選択ユニットのリセット制御線SL r s tをオンして共通ノード電極NE 1を再度0 Vにイコライズし、さらにはその後にリセット制御線SL r s tをオフにして、浮遊状態にする。プレート線PL 1～PL nは全て接地する。

[タイミング s 6]

プレート線 P L 1 に再度パルスを印加し、キャパシタ C 1 からの信号を読み出す。パルスがハイからローに戻ると、タイミング s 4 で書き込んだ” 1 ” の残存信号が共通ノード電極 N E 1 に生じる。

【0063】

[タイミング s 7]

信号分配制御線 S L s t をオンし、選択ユニットの共通ノード電極 N E 1 を隣接した非選択ユニットの共通ノード電極 N E 2 とショートする。これによって信号電荷は隣接電極に分配され、その電位は略 $1/2$ に変換され、最適な参照電位がつくられる。その後信号分配制御線 S L s t はオフしておく。

[タイミング s 8]

読出ワード線 W L r をオンすることで、共通ノード電極 N E 1 のレベルに依存した電流がメモリユニット M U に流れ、そのレベルに依存して入力ノード N D の電位が変動して、上記参照電位に応じた参照信号が生ずる。比較判定回路 10 は、上記タイミング s 3 で保存していた信号と、上記参照信号の比較を行い、データを判定する。

[タイミング s 9]

制御線 G 2 をオフしてビット線 B L のチャージ回路を停止し、制御線 G 1 をオンしてビット線 B L を接地状態に戻す。さらに選択ユニットのリセット制御線 S L r s t と、図示されない隣接ユニットのリセット線をオンして、共通ノード電極 N E 1, N E 2 も接地状態に戻す。

【0064】

以上のような読出動作では、メモリセルへの参照用” 1 ” の書き込みがビット線 B L を充放電させることなく実施されており、高速かつ低消費電力での読み出しが可能となる。

【0065】

尚、比較判定回路 10 としては、図 3 で前述した方式を応用して、差動センスアンプ 3 の入力対に、上記 1 回目の読出に応じた信号と、上記参照信号をスイッチで選択してそれぞれ流入させても良いが、その他にもさまざまな判定回路が存

在し得る。

例えばISSCC2003論文ダイジェストの16.1 (p278) には、入出力間にショートスイッチを設けたインバータによるコンパレータを備えた比較判定回路が記載されており、これを用いることができる。

【0066】

<第4の実施の形態>

第4の実施の形態は、上記のような第一及び第二の電流読み出しにおける電流信号の判定を、より簡便に、少ない回路規模で実現するものである。図12にその判定回路例を示す。

この回路は、図10の回路のチャージ用のトランジスタTCGのゲートと入力ノードNDの間にスイッチトランジスタSW4を挿入した構成となっている。またこの時、比較判定回路11として示している回路は、実際には特別な比較判定機能を持つ必要はなく、単なるラッチでもよいし、或いはデータバスを直接つないでも良い。

【0067】

この場合の動作の上記第3の実施の形態の例との相違は、一回目のビット線チャージと読み出しを行った後、上記スイッチトランジスタSW4をオフし、トランジスタTCGのゲート電位を保存した状態で二回目のビット線チャージと読み出しを行う点である。

その概念図を図13に示す。

【0068】

まず一回目のビット線チャージと読み出しは、図13(a)のようにスイッチトランジスタSW4を導通させて行う。メモリユニットMUの読み出し電流に応じて入力ノードNDの電位が確定したところでスイッチトランジスタSW4をオフし、チャージ用のトランジスタTCGのゲート電位を保存する。この時メモリユニットMUの電流とチャージ用のトランジスタTCGの供給電流は均衡しており、ともに*i*₁である。

【0069】

二回目のビット線チャージと読み出しは、図13(b)のようにスイッチトラ

ンジスタSW4をオフしたままで行う。この時チャージ用のトランジスタTCGのゲートには一回目の信号電位が保存されているので、トランジスタTCGには一回目と同じチャージ電流*i*1が流れる。一方メモリユニットMUにはその記憶データに応じた2回目の読み出し電流*i*2が流れる。

入力ノードNDには、上述のチャージ電流*i*1と二回目の読み出しにおけるユニット電流*i*2の差分、即ち一回目と二回目のユニット電流の差分(*i*1 - *i*2)に相当する電荷が蓄積されていく。例えば*i*2が参照電流であった場合、*i*1がハイレベルであれば入力ノードNDの電位はVcc近くにまで上昇し、*i*1がローレベルであれば0V近くにまで下降する。

即ち自動的な増幅判定が行われる。

【0070】

なお、この回路は本発明にかかる自己参照判定方式にも無論適しているが、磁性体膜の磁化方向によってデータを記憶するMRAMや、カルコゲナイド膜の結晶状態でデータを記憶するOUM等、他メモリの自己参照判定にも応用することが出来る。さらに用途は自己参照に限定されるものでもなく、同一のビット線上で一回目のアクセスと二回目アクセスについて電流を比較判定する、あらゆる半導体メモリの用途に使用できる。例えば同一のビット線上にダミーセルを設け、一回目は選択セルを、二回目はダミーセルをアクセスして両者を比較する場合にも有効である。

【0071】

以上、本発明の実施の形態として第1から第4の実施の形態について説明したが、本発明はこれらの構成及び動作に限定されない。例えば第3の実施の形態としては増幅型クロスポイントメモリと呼ばれる構成をもとにした例であるが、増幅型ではないクロスポイントメモリにおいても本発明が適用できることは言うまでもない。

【0072】

【発明の効果】

以上の説明から理解されるように、本発明により以下の効果が奏される。

即ち本発明により、強誘電体メモリにおいてより問題となるハイレベル側のば

らつき相殺が可能になり、エラー率を有効に低減できる。

さらにパルス印加後の残存信号の使用と組みあわせることで、ロー側のばらつきも同時に相殺し、敢えてオフセット信号を発生させる必要もなく、各メモリセルごとに最適の参照信号を提供することができるようになる。従って各キャパシタの特性がばらついても正確な読み出しを行うことが出来る。

さらに参照信号の発生は、容量負荷への分配を用いることで、最小の回路規模で適切に行うことが可能になる。

【0073】

またメモリセルと定電圧ノード間に配されたスイッチ手段を導通させることで、メモリセルに、ハイレベル側の信号に相当する参照信号発生用データを書き込むようにすることで、ビット線を充放電することなく所望のセルにハイレベル信号に相当するデータの書き込みが可能になり、従って参照信号生成のための動作を高速かつ低消費電力で実行することができる。

さらに増幅型のクロスポイントメモリ構成においては、隣接ユニット同士での共通ノード電極の短絡によって、ユニット内部で容易かつ高速に内部信号の参照信号への変換が可能になる。

【0074】

さらにビット線と定電圧ノードの間に配された電流供給用トランジスタと、この電流供給用トランジスタのゲートとビット線の間に配されたスイッチ手段を有するようにし、電流供給用トランジスタのゲートとビット線を短絡した状態でメモリセルから1回目の読み出しを行い、さらに電流供給用トランジスタのゲートとビット線を切断した状態で2回目の読み出しを行い、2回目の読出によって生ずるビット線の電位状態に従って、メモリセルに記憶されていた記憶データを判定するようにすることで、少ない回路規模で確実に自己センシングを行うことが可能になる。

【図面の簡単な説明】

【図1】

本発明のデータ判定方法の説明図である。

【図2】

本発明のデータ判定方法における強誘電体キャパシタの挙動の説明図である。

【図 3】

本発明の第 1 の実施の形態の構成の説明図である。

【図 4】

第 1 の実施の形態のデータ読出動作のタイミングチャートである。

【図 5】

実施の形態による改善効果の説明図である。

【図 6】

本発明の第 2 の実施の形態の構成の説明図である。

【図 7】

第 2 の実施の形態の構造の説明図である。

【図 8】

本発明の第 3 の実施の形態の構成の説明図である。

【図 9】

第 3 の実施の形態の構造の説明図である。

【図 1 0】

第 3 の実施の形態の制御回路構成の説明図である。

【図 1 1】

第 3 の実施の形態のデータ読出動作のタイミングチャートである。

【図 1 2】

本発明の第 4 の実施の形態の制御回路構成の説明図である。

【図 1 3】

第 4 の実施の形態の制御回路の動作の説明図である。

【図 1 4】

強誘電体キャパシタによる半導体メモリの構成の説明図である。

【図 1 5】

強誘電体キャパシタの挙動の説明図である。

【図 1 6】

クロスポイント型強誘電体メモリの説明図である。

【図 17】

増幅型クロスポイント型強誘電体メモリの説明図である。

【図 18】

強誘電体キャパシタの信号バラツキの説明図である。

【符号の説明】

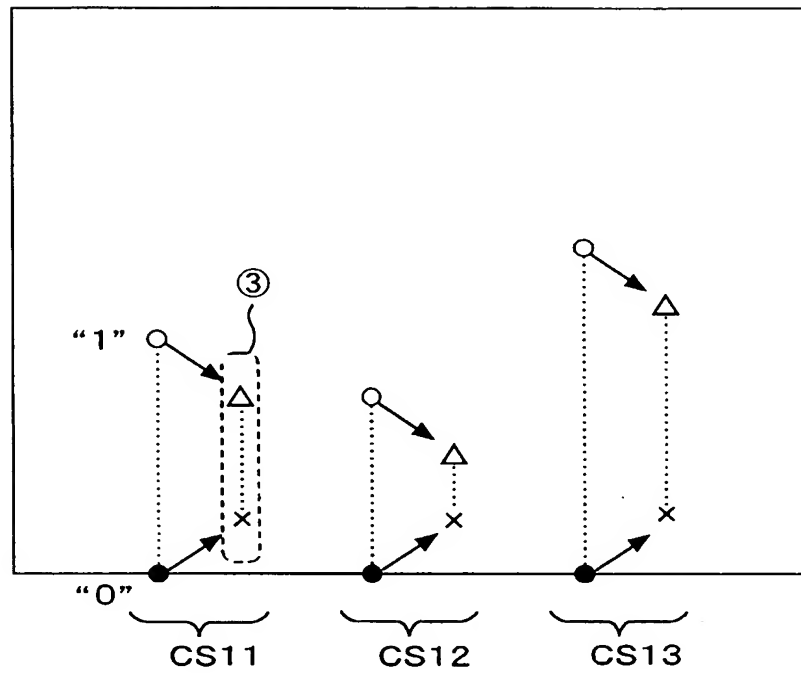
1 ワード線デコーダ／ドライバ、2 プレート線デコーダ／ドライバ、3 センスアンプ、WL ワード線、BL ビット線、PL プレート線、C キャパシタ、Ta アクセストランジスタ、Tp パストランジスタ、Tcg チャージ用トランジスタ、Trst リセット用トランジスタ、Tst 信号分配用トランジスタ

【書類名】

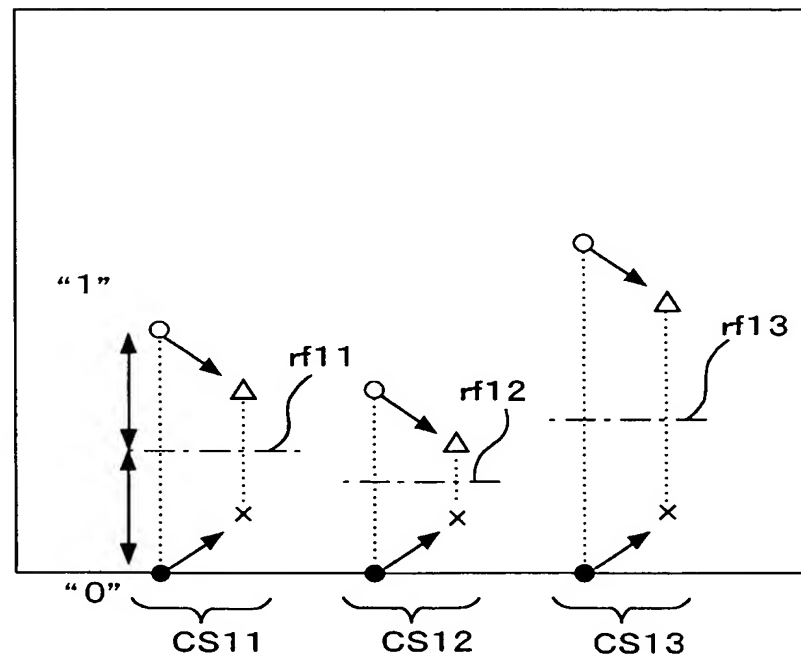
図面

【図 1】

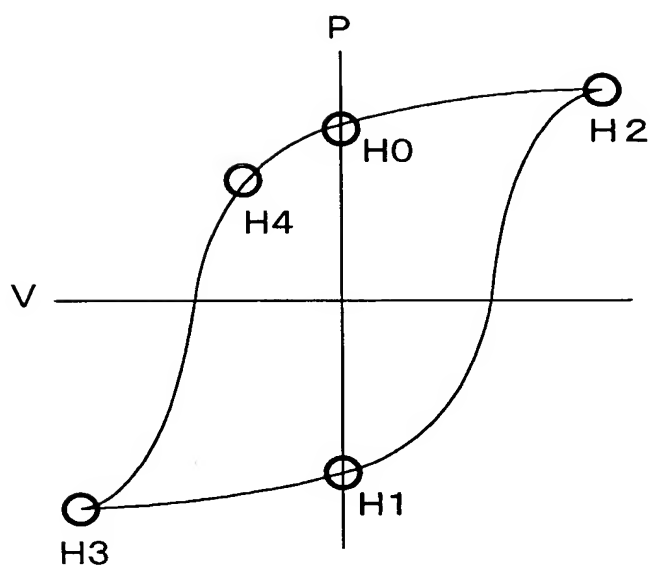
(a)



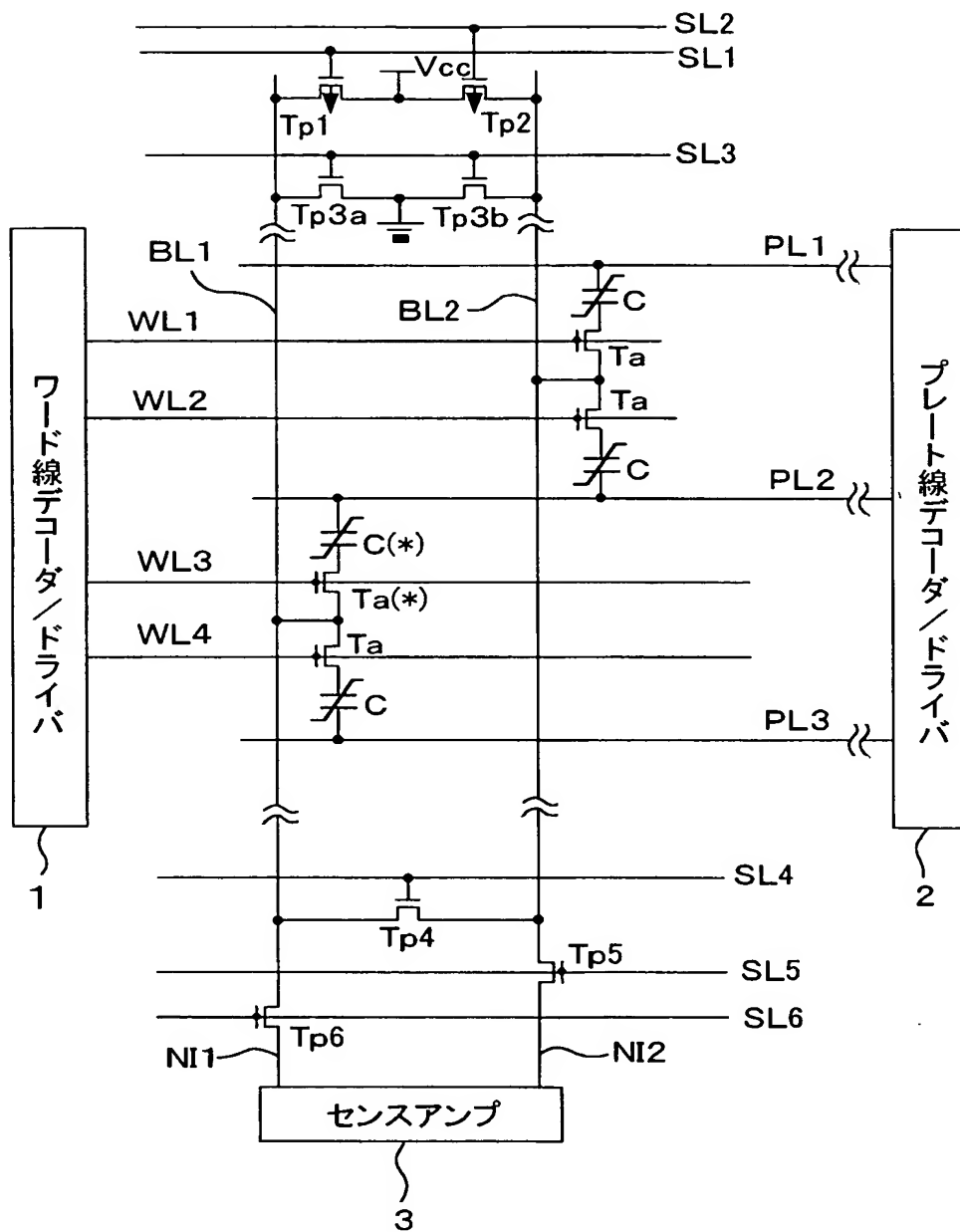
(b)



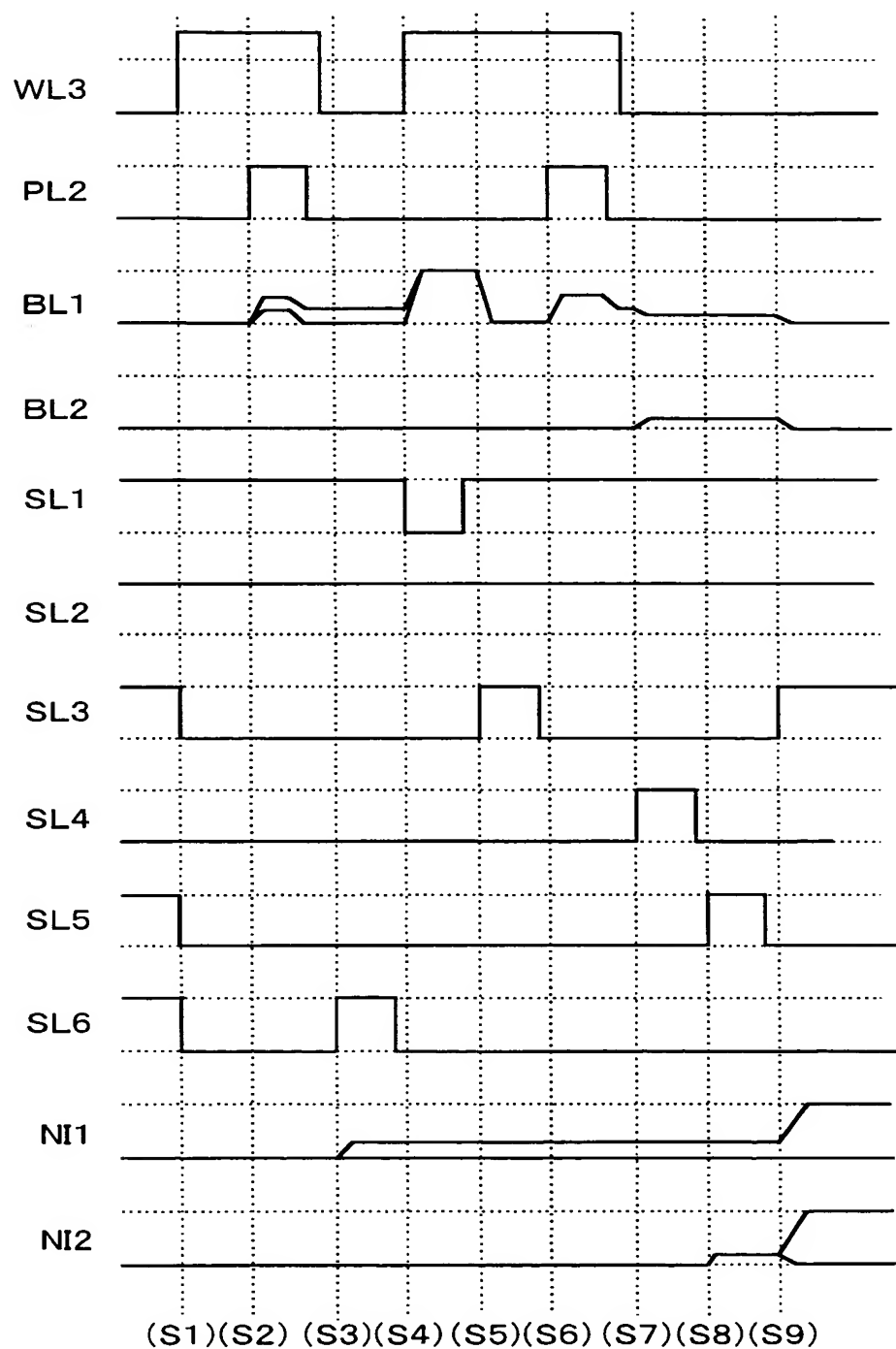
【図 2】



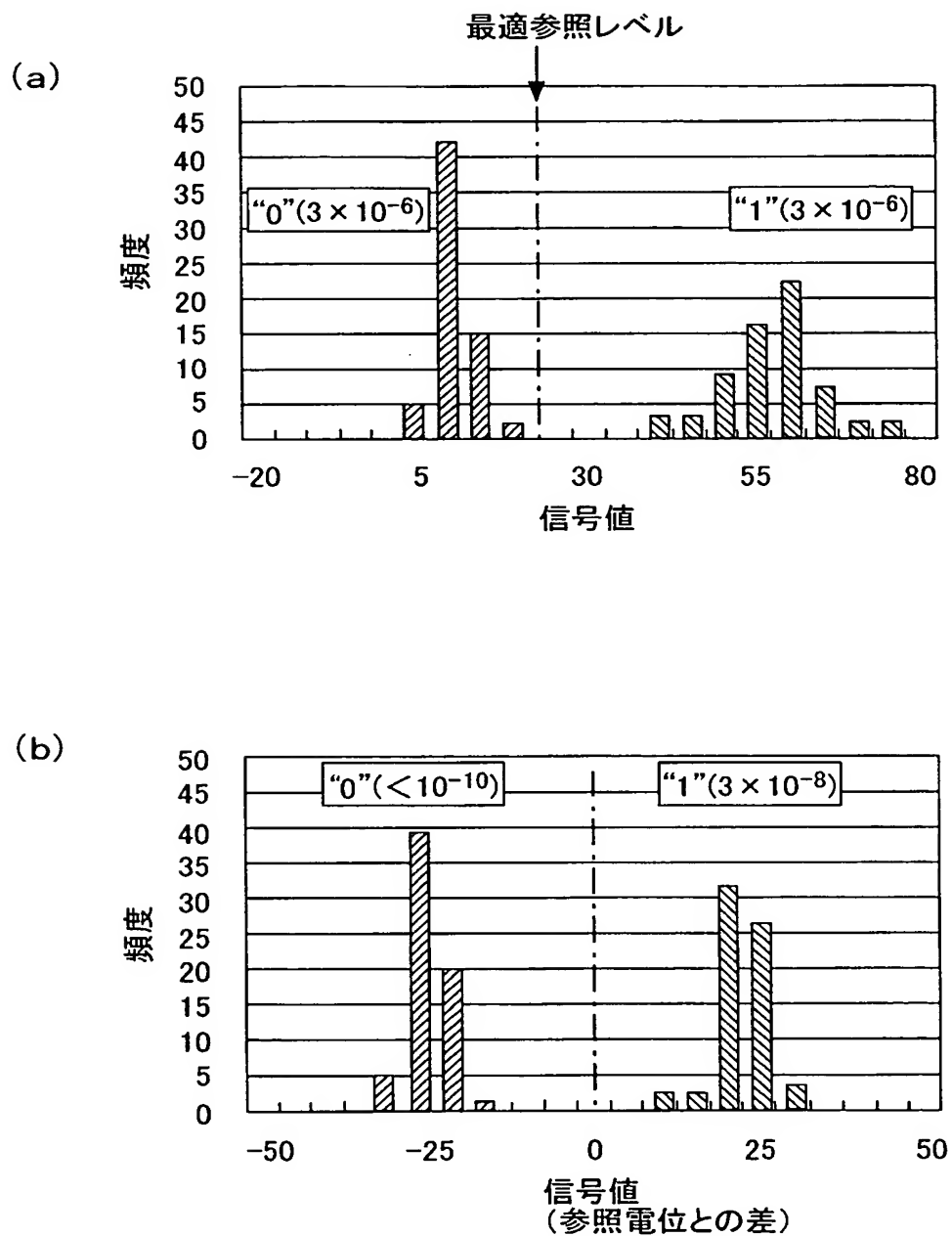
【図 3】



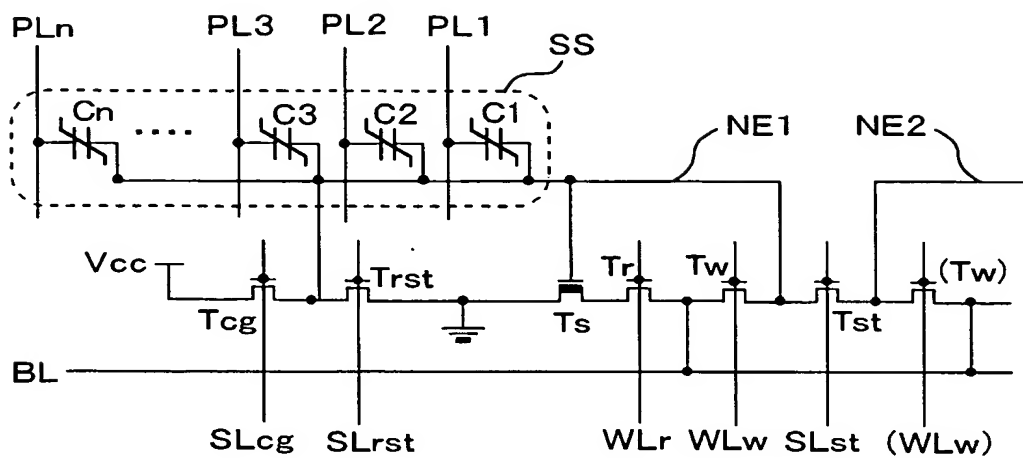
【図 4】



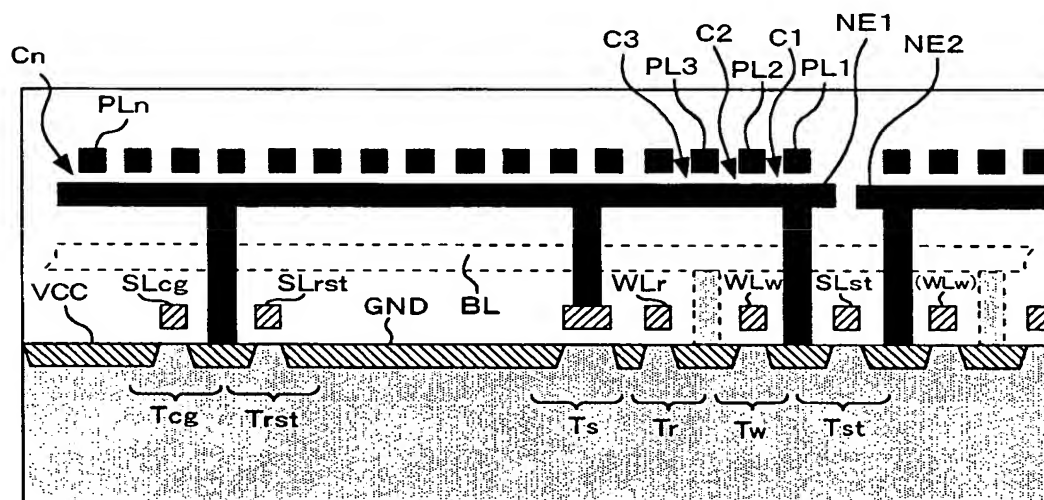
【図 5】



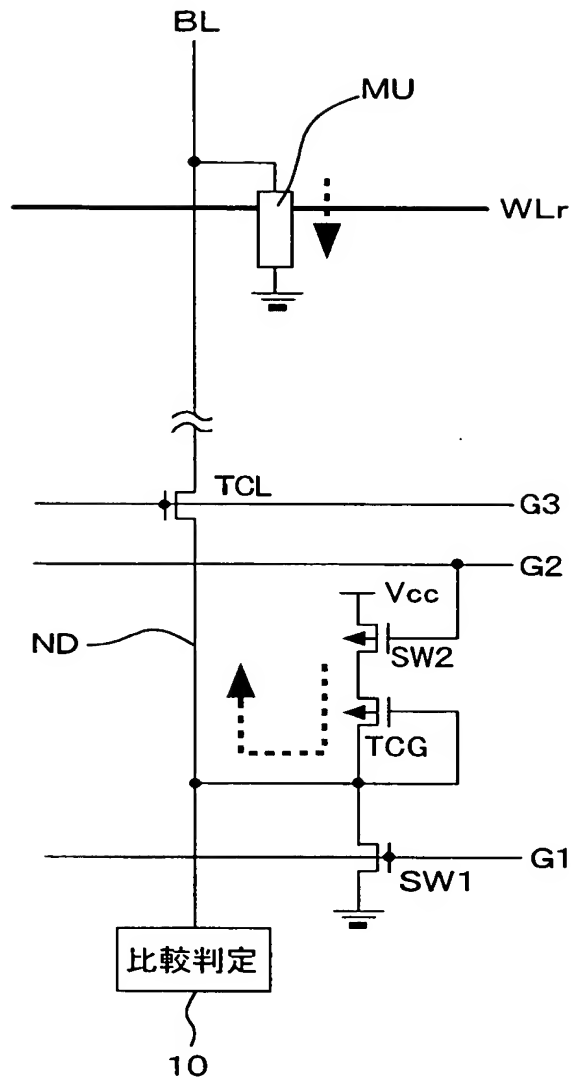
【図 8】



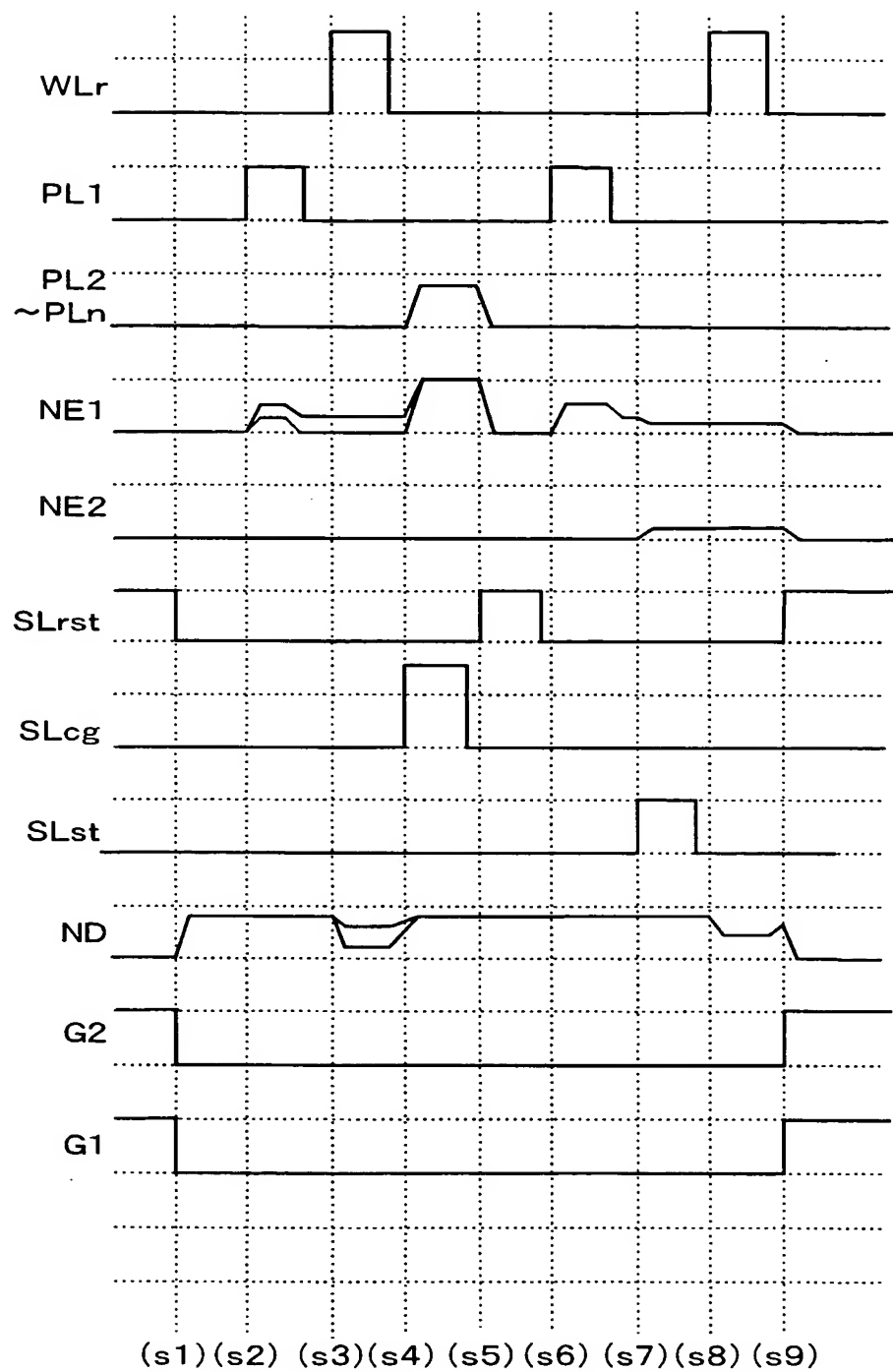
【図 9】



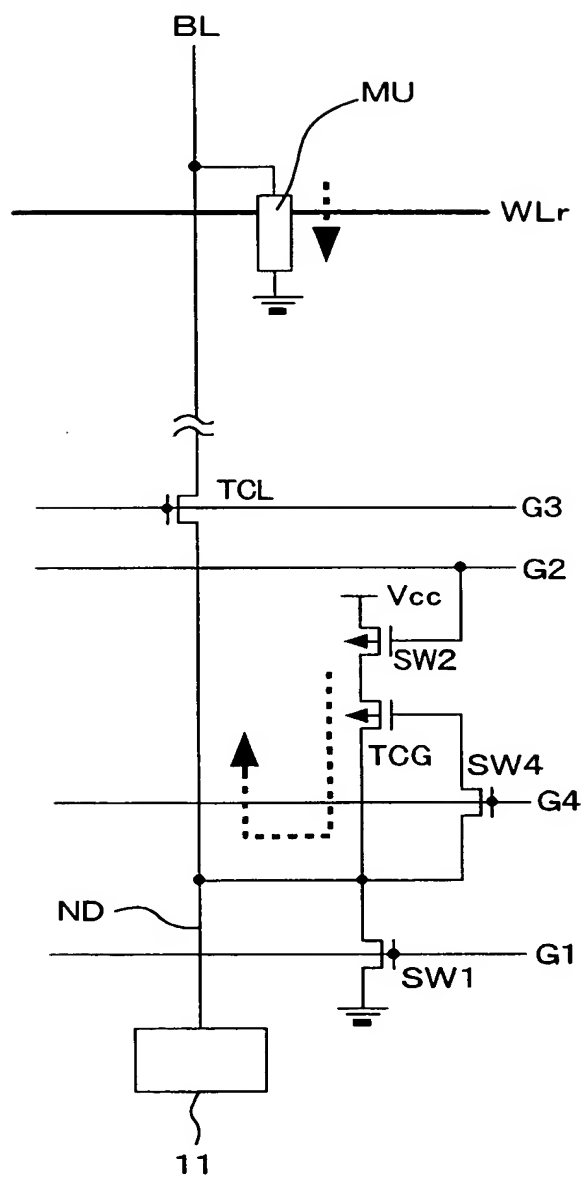
【図 10】



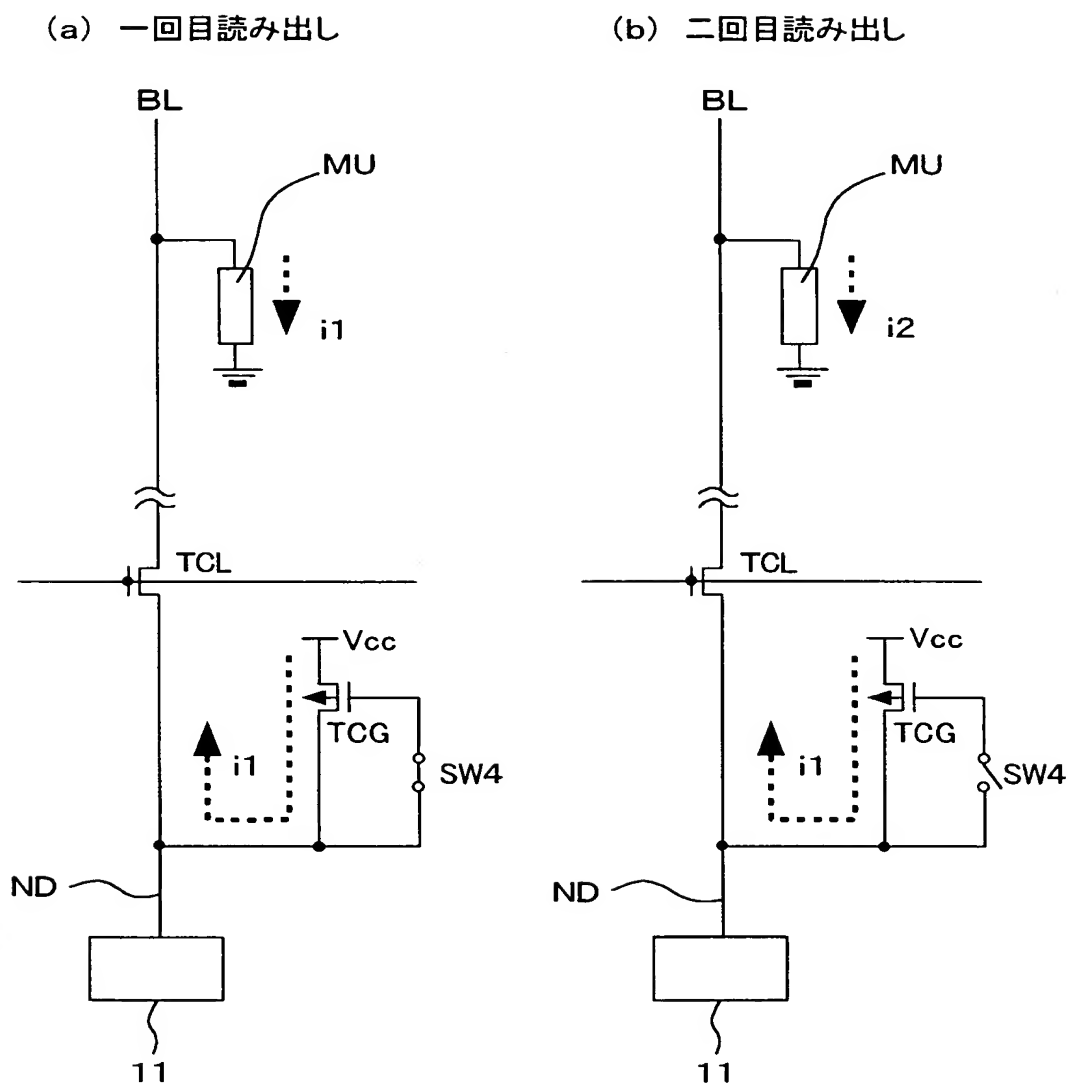
【図 11】



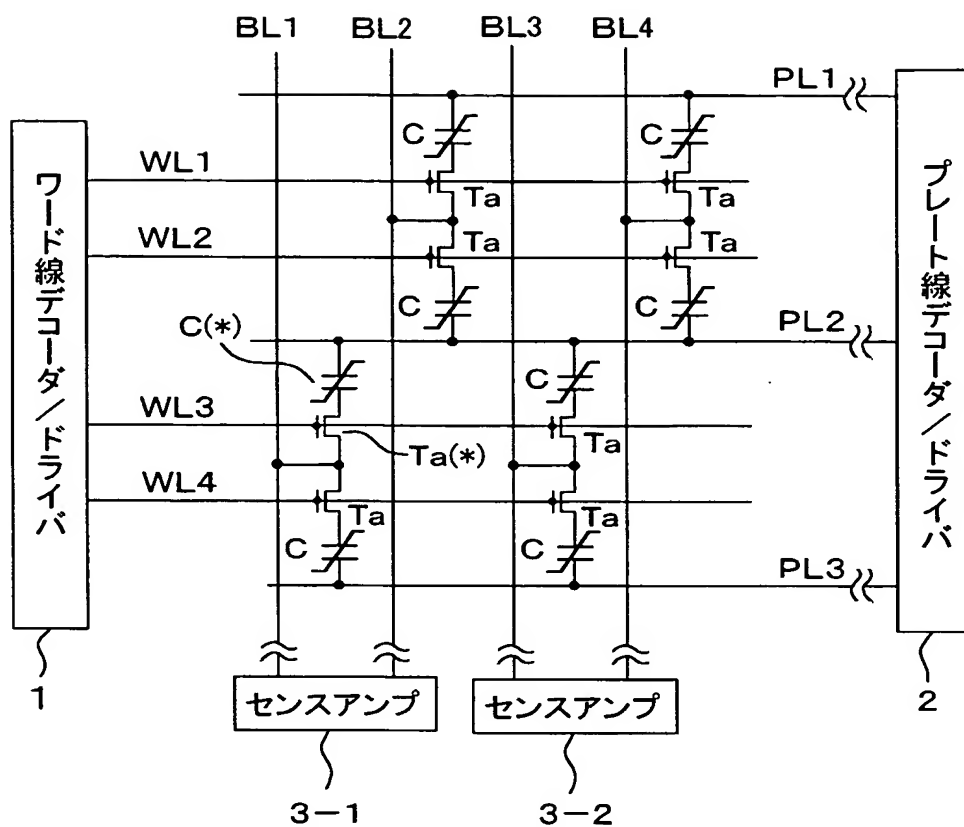
【図 12】



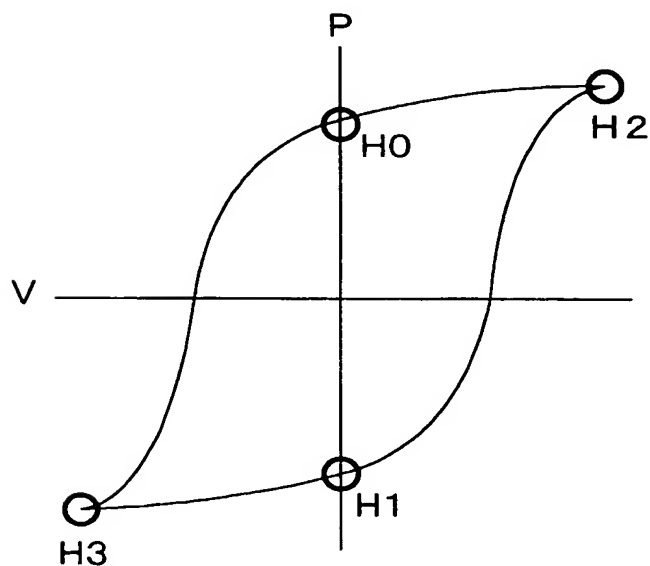
【図 13】



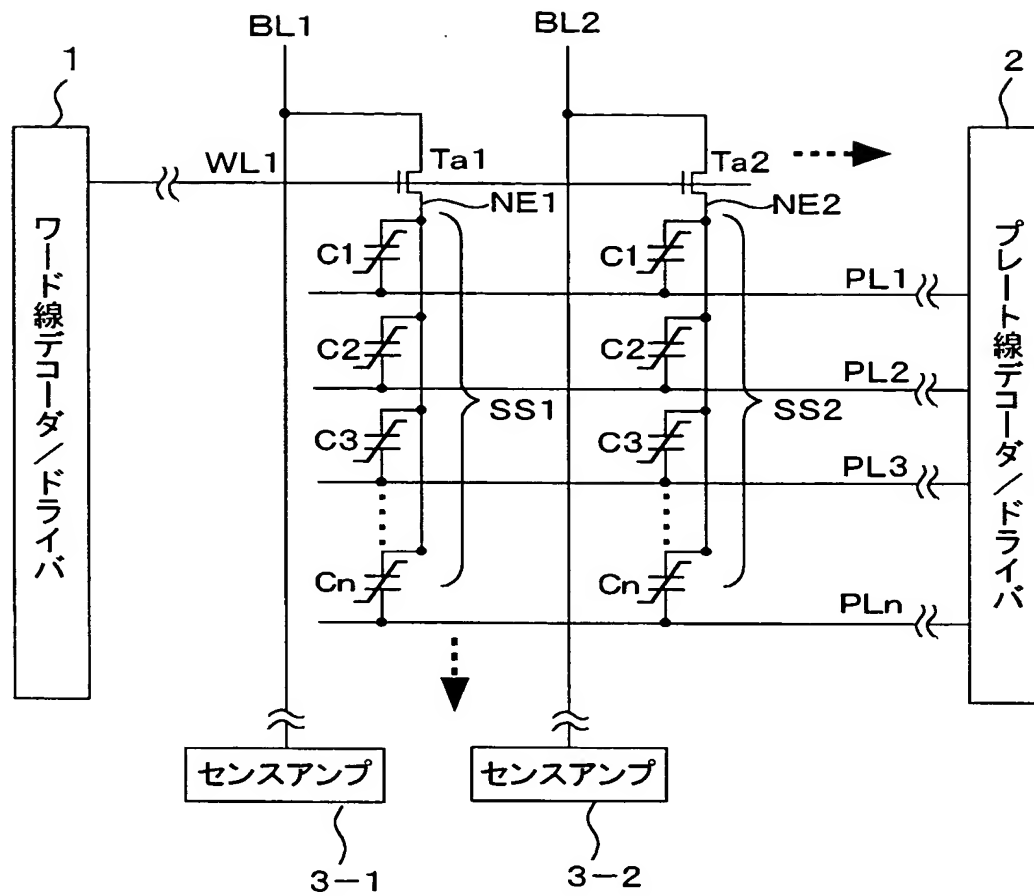
【図 14】



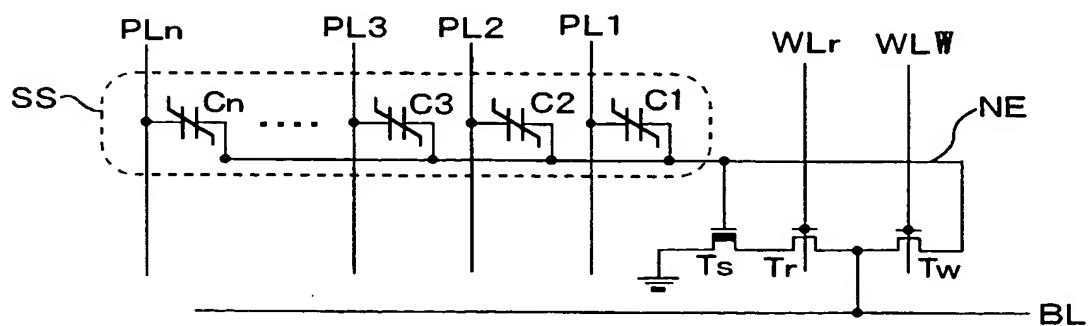
【図 15】



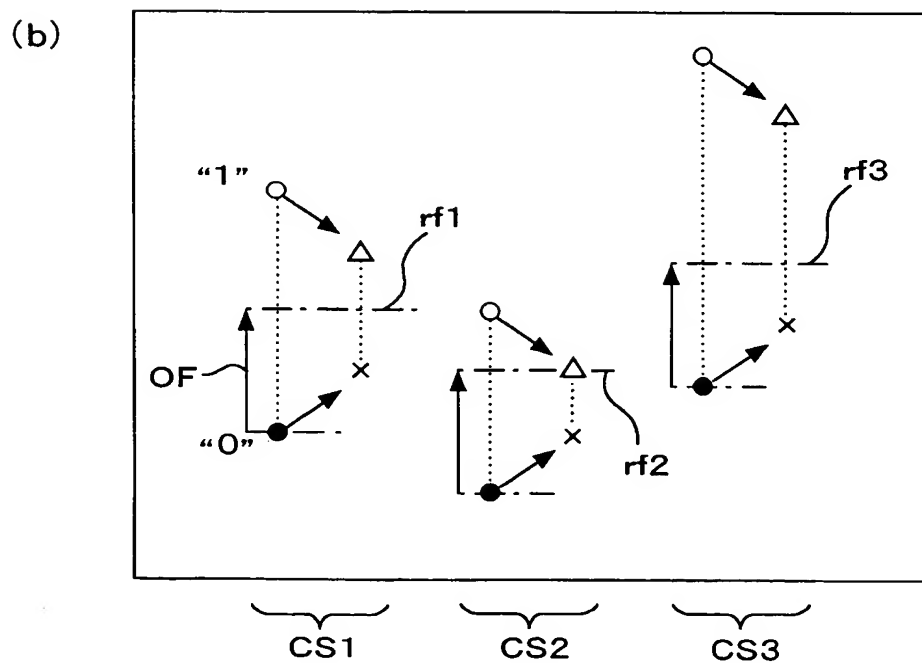
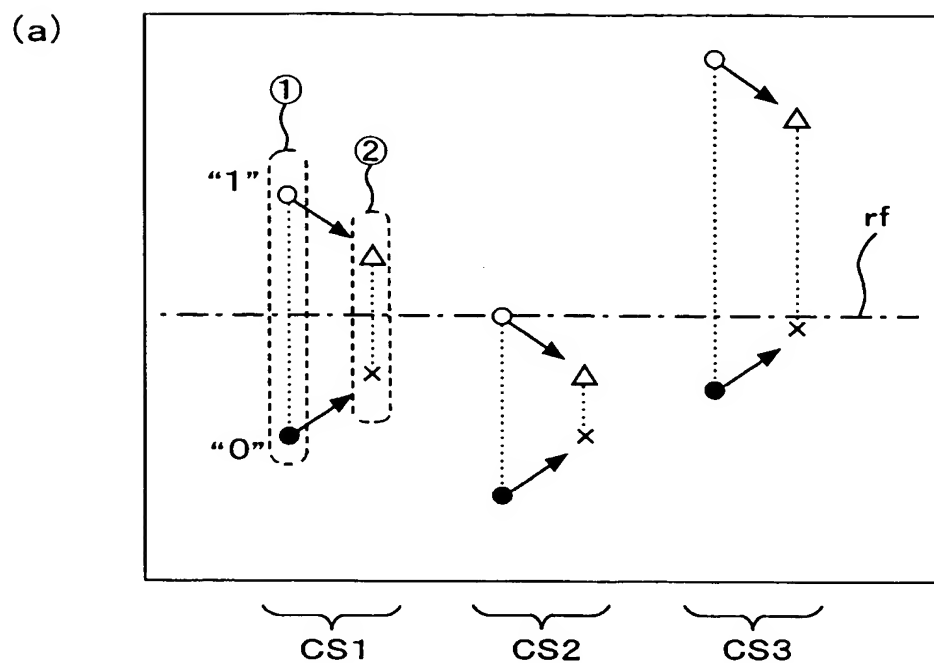
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 読出動作マージンを飛躍的に拡大させ、誤読み出しを防止する。

【解決手段】 1 回目の読出パルスメモリセルに印加して、記憶データに応じた第 1 の信号を発生させる。次にメモリセルにハイレベル側の信号に相当する参照信号発生用データを書き込む。次に 2 回目の読出パルスメモリセルに印加して、参照信号発生用データに応じた第 2 の信号を発生させる。次に第 2 の信号に基づいて参照信号を発生させる。そして上記第 1 の信号と上記参照信号を比較して、メモリセルに記憶されていた記憶データを判定する。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 7 6 8 7
受付番号	5 0 3 0 0 5 0 4 1 8 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 2 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号
【氏名又は名称】	ソニー株式会社

【代理人】

申請人

【識別番号】	100086841
【住所又は居所】	東京都中央区新川 1 丁目 2 7 番 8 号 新川大原ビル 6 階
【氏名又は名称】	脇 篤夫

【代理人】

【識別番号】	100114122
【住所又は居所】	東京都中央区新川 1 丁目 2 7 番 8 号 新川大原ビル 6 階 脇特許事務所
【氏名又は名称】	鈴木 伸夫

次頁無

特願 2 0 0 3 - 0 8 7 6 8 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社